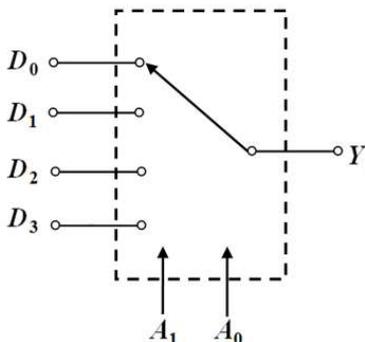
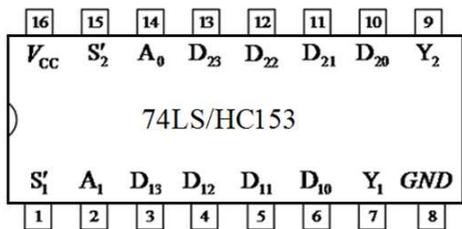


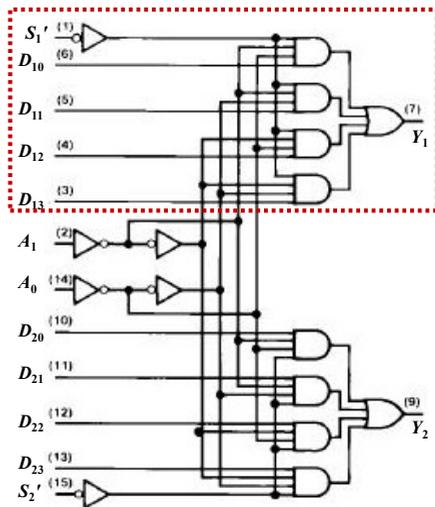
# 实验原理 —— 数据选择器

• 数据选择器又称多路选择器，是一个数据开关  
 它从N路源数据中选择一路送至输出端。

• 双4选1数据选择器74LS153



四选一数据选择器原理示意图



½ 双四选1为例：

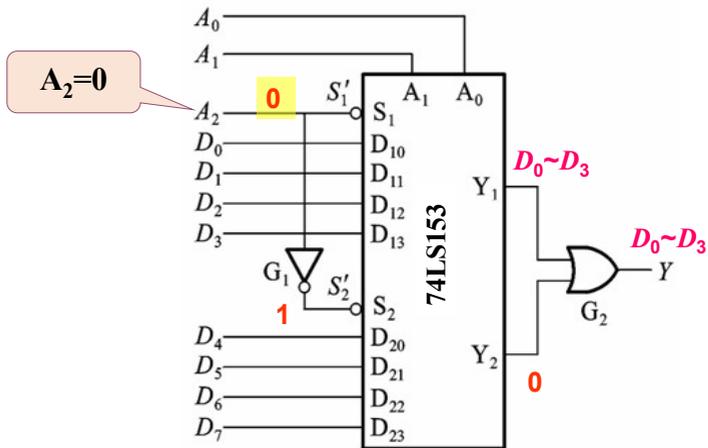
$$Y_1 = D_{10}(A_1'A_0') + D_{11}(A_1'A_0) + D_{12}(A_1A_0') + D_{13}(A_1A_0)$$

$$= \sum_{i=0}^3 D_{1i}m_i$$

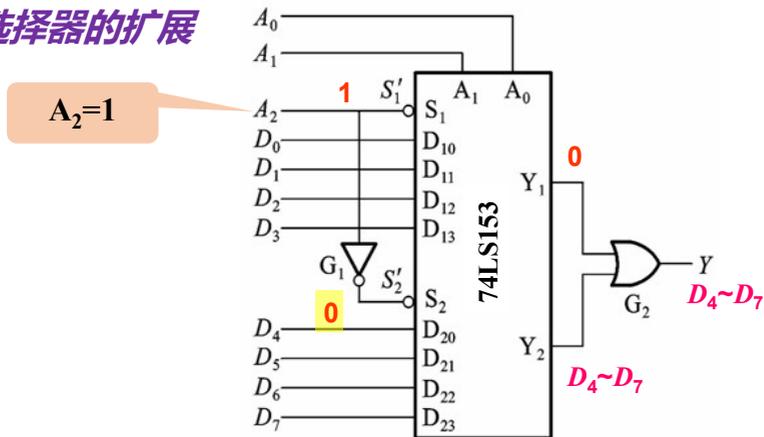
½ 74LS153功能表

输入			输出
$S_1'$	$A_1$	$A_0$	$Y_1$
1	×	×	0
0	0	0	$D_{10}$
0	0	1	$D_{11}$
0	1	0	$D_{12}$
0	1	1	$D_{13}$

## 数据选择器的扩展



## 数据选择器的扩展



$$Y = (A_2'A_1'A_0')D_0 + (A_2'A_1'A_0)D_1 + (A_2'A_1A_0')D_2 + (A_2'A_1A_0)D_3 + (A_2A_1'A_0')D_4 + (A_2A_1'A_0)D_5 + (A_2A_1A_0')D_6 + (A_2A_1A_0)D_7$$



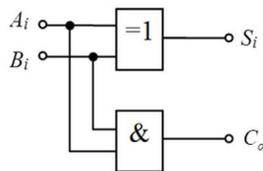
## • 半加器

- 半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的进位，称为半加，实现半加运算功能的电路称为**半加器**。

- 由真值表可得出半加器的逻辑表达式：

$$S_i = A_i' B_i + A_i B_i' = A_i \oplus B_i$$

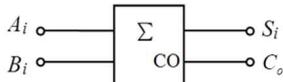
$$C_o = A_i B_i$$



(a) 半加器电路

半加器真值表

$A_i$	$B_i$	$S_i$	$C_o$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



(b) 半加器符号

## • 全加器

- 两个多位数相加是每一位都是带进位相加，所以必须用全加器。
- 全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现一位二进制加法。
- 只要依次将低位的进位输出连接到高位的进位输入，就可构成多位加法器。

全加器真值表

$A_i$	$B_i$	$C_i$	$S_i$	$C_o$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

## • 全加器 —— 逻辑表达式：

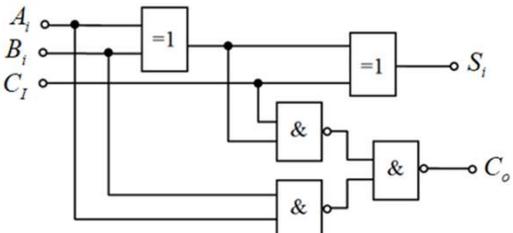
$$S_i = m_1 + m_2 + m_4 + m_7 = A_i' B_i' C_i + A_i' B_i C_i' + A_i B_i' C_i' + A_i B_i C_i$$

$$= A_i' (B_i' C_i + B_i C_i') + A_i (B_i' C_i' + B_i C_i) = A_i' (B_i \oplus C_i) + A_i (B_i \oplus C_i)'$$

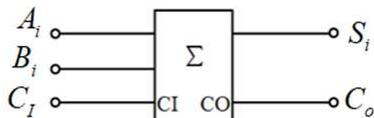
$$= A_i \oplus B_i \oplus C_i$$

$$C_o = m_3 + m_5 + A_i B_i = A_i' B_i C_i + A_i B_i' C_i + A_i B_i = (A_i' B_i + A_i B_i') C_i + A_i B_i$$

$$= (A_i \oplus B_i) C_i + A_i B_i$$

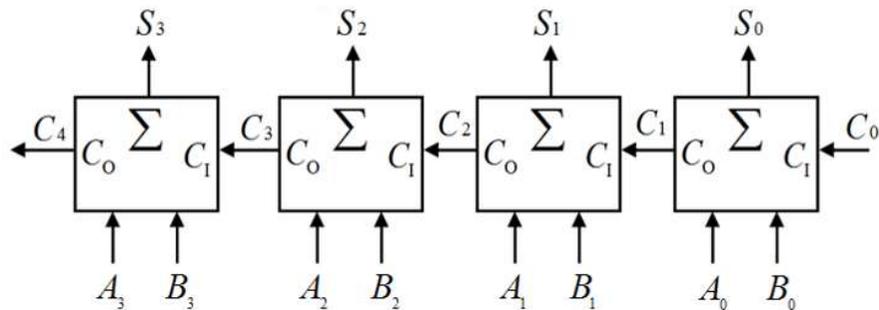


(a) 逻辑图



(b) 国标符号

## • 串行进位加法器

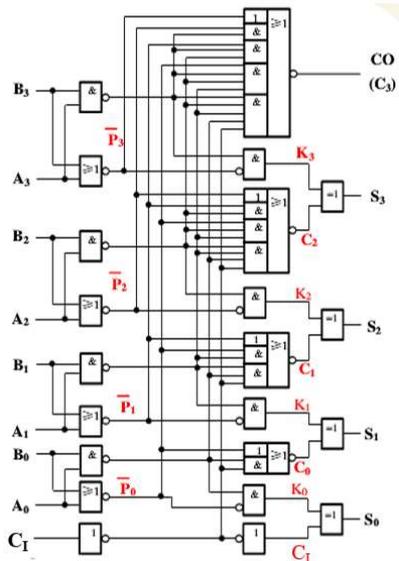
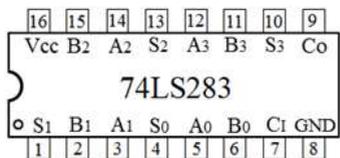


四位串行进位加法器

特点：结构简单，运算速度慢。

## 超前进位并行加法器

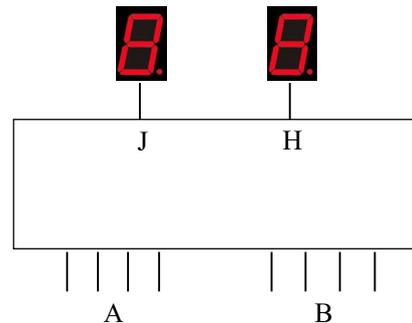
- 超前进位电路构成的位全加器电路74LS283, 可实现两个四位二进制数的全加运算。
- 加进位输入  $C_1$  和进位输出  $C_0$  主要用来扩大加法器字长, 作为组间进位之用。由于它采用超前进位方式, 所以运算速度快。



## 用74LS283构成一位8421BCD码加法器

输出: H (个位:  $S_3S_2S_1S_0$ )  
J (十位)

输出范围: 00~18  
(H: 四位 J: 一位)



输入:  $A (A_3A_2A_1A_0) + B (B_3B_2B_1B_0)$

输入范围: A: 0~9 B: 0~9

1、先用第一片283 (1) 实现A+B的全加, 得到 S。

2、题目要求中的BCD和个位H与S的关系:

$$H = \begin{cases} S & (S < 10) \\ S - 1010 & (S \geq 10) \end{cases}$$

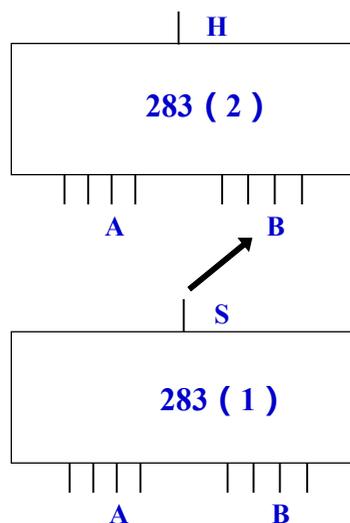


$$H = \begin{cases} S & (S < 10) \\ S + 0110 & (S \geq 10) \end{cases}$$



$$H = \begin{cases} S + 0000 & (S < 10) \\ S + 0110 & (S \geq 10) \end{cases}$$

3、用第二片283 (2) 将S进行修正, 得到BCD和数个位H。



4、第二片283 (2) 的A: 0000或0110。

5、 $A_3A_0$ 直接接地, 把 $A_2A_1$ 值标为J:

$$J = \begin{cases} 0 & (S < 10) \\ 1 & (S \geq 10) \end{cases}$$

6、J和S的关系式如何处理?

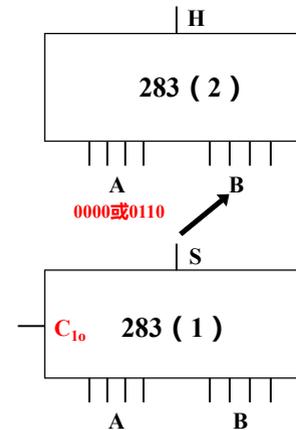
$S_1S_0$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	1

$$J = S_3 \cdot S_2 + S_3 \cdot S_1$$



$$J = S_3 \cdot S_2 + S_3 \cdot S_1 + C_{10}$$

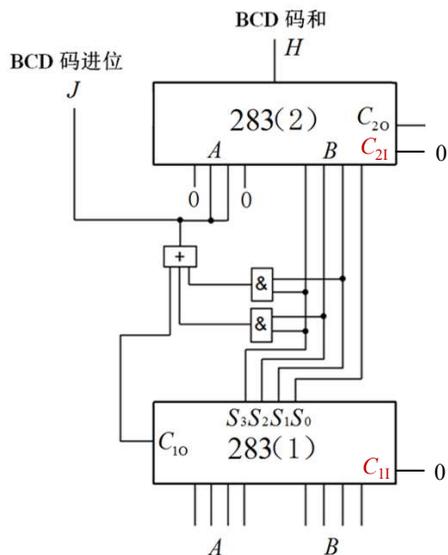
式子有没有问题?



## 8421BCD码

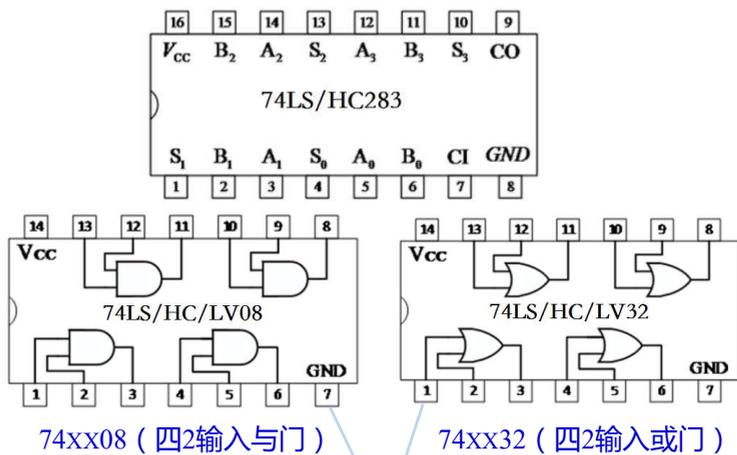
### 加法器

最终的电路：



## 实验内容—— 加法器

1. 用一片74LS/HC283实现**并行四位全加**，将A置为1001，B置为0000~1001，依次计算A+B并记录结果表列。
2. 用一片74LS283实现**数据比较**功能，要求输入（四位二进制） $<10$ 时输出一位低电平， $\geq 10$ 时输出一位高电平，要求设计逻辑电路图、搭接电路并记录结果。
3. 用两片74LS/HC283和必要的门电路实现**两个8421BCD码求和运算**，结果仍为8421BCD码，要求设计逻辑电路图、搭接电路并记录结果。（验收）

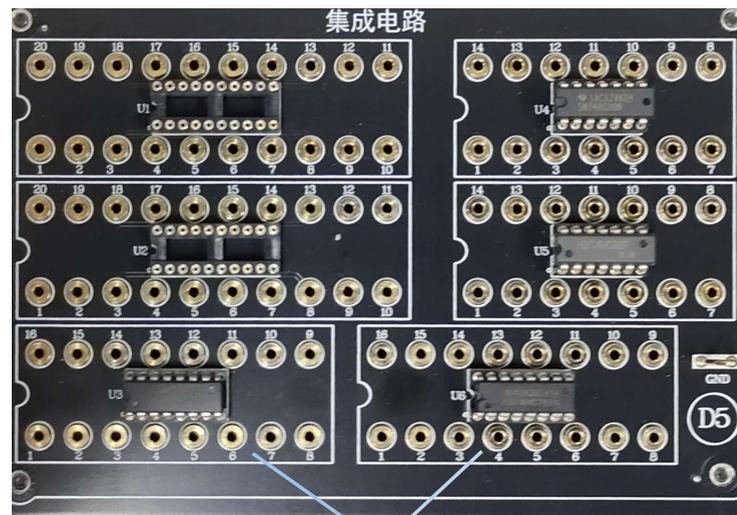


74xx08 (四2输入与门)

74xx32 (四2输入或门)

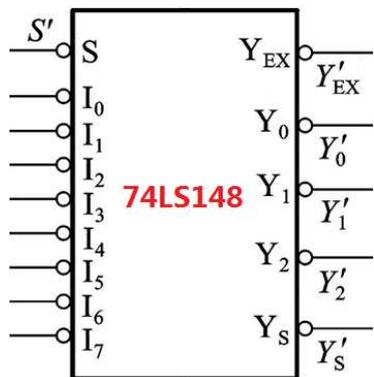
08和32用万用逻辑魔方

(Note: 所用芯片的Vcc要接+5V, GND要接地。)



74LS/HC283

## 8线—3线优先编码器74LS148



$S'$ 为选通输入端， $S'=0$ ，编码器才能正常工作。

$Y'_S$ 为选通输出端， $Y'_S=0$ ，表示电路工作，无编码输入。

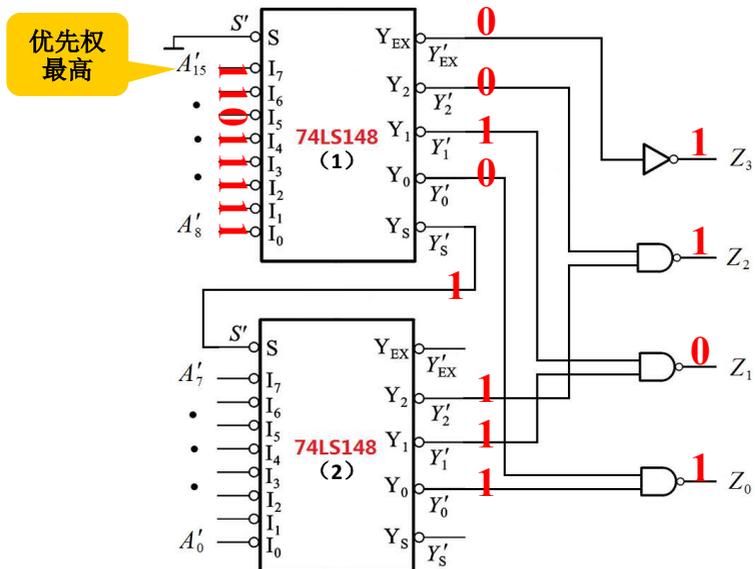
$Y'_{EX}$ 为扩展端， $Y'_{EX}=0$ ，表示电路工作，有编码输入。

## 优先编码器74LS148功能表

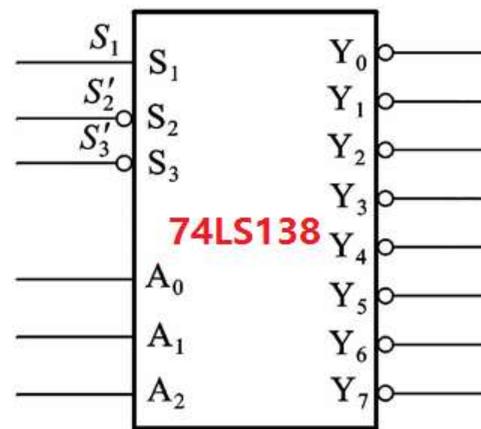
输 入		输 出											
$S'$	$I'_0$	$I'_1$	$I'_2$	$I'_3$	$I'_4$	$I'_5$	$I'_6$	$I'_7$	$Y'_2$	$Y'_1$	$Y'_0$	$Y'_S$	$Y'_{EX}$
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	X	X	X	X	X	X	X	0	0	0	0	1	0
0	X	X	X	X	X	X	0	1	0	0	1	1	0
0	X	X	X	X	X	0	1	1	0	1	1	1	0
0	X	X	X	0	1	1	1	1	1	0	0	1	0
0	X	X	0	1	1	1	1	1	1	0	1	1	0
0	X	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0

■ 输入、输出均为低电平有效

## 两片74LS148组成16线—4线优先编码器



## 一、二进制译码器74LS138



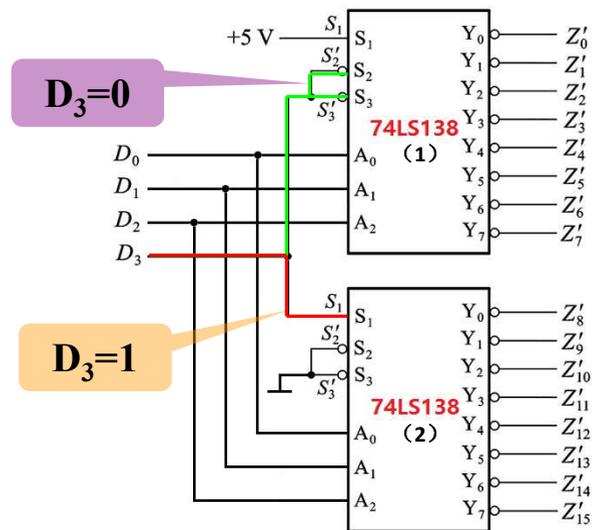
$S_1$ 、 $S'_2$ 和 $S'_3$ 是三个片选输入端，当 $S_1=1$ ， $S'_2+S'_3=0$ 时，译码器工作。

### 3线-8线译码器74LS138功能表

输 入			输 出							
$S_1$	$S_2 + S_3'$	$A_2 \ A_1 \ A_0$	$Y_0'$	$Y_1'$	$Y_2'$	$Y_3'$	$Y_4'$	$Y_5'$	$Y_6'$	$Y_7'$
0	X	X X X	1	1	1	1	1	1	1	1
X	1	X X X	1	1	1	1	1	1	1	1
1	0	0 0 0	0	1	1	1	1	1	1	1
1	0	0 0 1	1	0	1	1	1	1	1	1
1	0	0 1 0	1	1	0	1	1	1	1	1
1	0	0 1 1	1	1	1	0	1	1	1	1
1	0	1 0 0	1	1	1	1	0	1	1	1
1	0	1 0 1	1	1	1	1	1	0	1	1
1	0	1 1 0	1	1	1	1	1	1	0	1
1	0	1 1 1	1	1	1	1	1	1	1	0

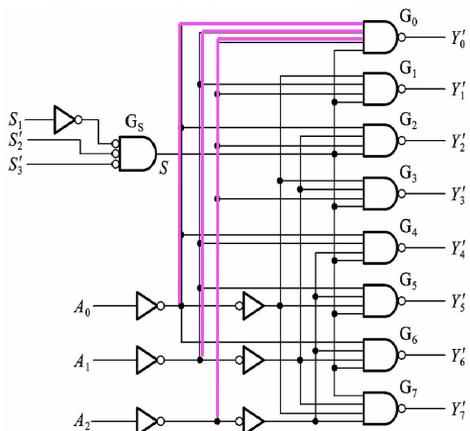
■ 输出低电平有效

### 两片74LS138组成4线-16线译码器



### (74LS138译码器)

$$\begin{cases} Y_0' = (A_2' A_1' A_0') = m_0' \\ Y_1' = (A_2' A_1' A_0) = m_1' \\ Y_2' = (A_2' A_1 A_0') = m_2' \\ Y_3' = (A_2' A_1 A_0) = m_3' \\ Y_4' = (A_2' A_1' A_0) = m_4' \\ Y_5' = (A_2' A_1 A_0) = m_5' \\ Y_6' = (A_2 A_1 A_0') = m_6' \\ Y_7' = (A_2 A_1 A_0) = m_7' \end{cases}$$



$$Y_i' = (S m_i)' = (S_1 (S_2')' (S_3')' m_i)'$$

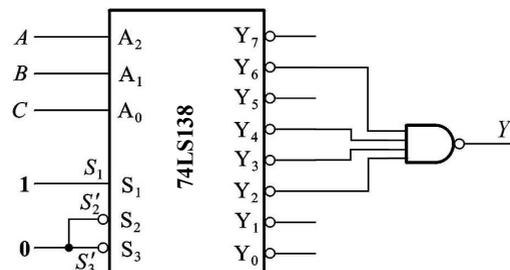
$$Y_i' = m_i'$$

一个3线-8线译码器能产生三个变量的全部最小项，所以也将这种译码器称为**最小项译码器**。

### 译码器实现逻辑函数

例：用74LS138实现逻辑函数  $Y = A'B + AC'$

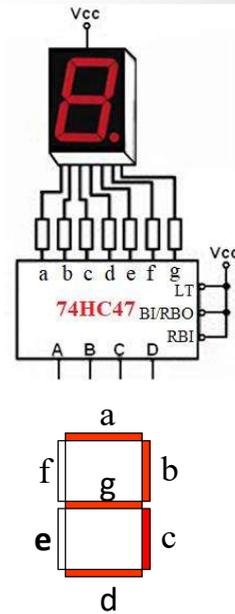
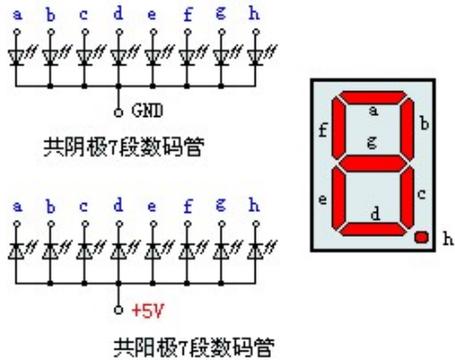
$$\begin{aligned} Y &= A'B + AC' \\ &= A'BC' + A'BC + AB'C' + ABC' \\ &= m_2 + m_3 + m_4 + m_6 \\ &= (m_2' m_3' m_4' m_6')' \\ &= (Y_2' Y_3' Y_4' Y_6')' \end{aligned}$$



## 二、显示译码器

能直接驱动数字显示器或能同显示器配合使用的译码器称为**显示译码器**。

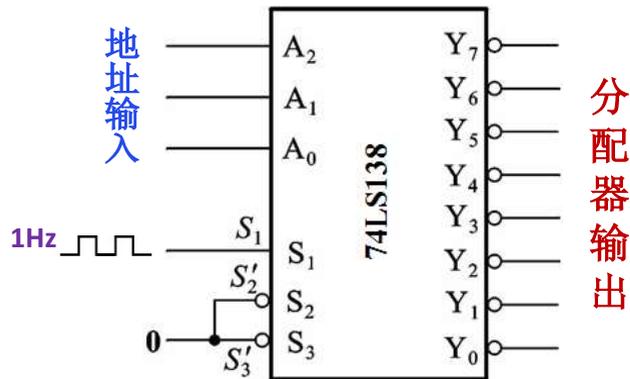
常用的显示译码器能驱动七段字符显示器。



74HC47功能表

序号	输入			BI'/RBO'	输出							显示字形	
	LT'	RBI'	D C B A		a	b	c	d	e	f	g		
0	1	1	0 0 0 0	1	0	0	0	0	0	0	0	1	0
1	1	×	0 0 0 1	1	1	0	0	1	1	1	1	1	1
2	1	×	0 0 1 0	1	0	0	1	0	0	1	0	1	2
3	1	×	0 0 1 1	1	0	0	0	0	1	1	0	0	3
4	1	×	0 1 0 0	1	1	0	0	1	1	0	0	0	4
5	1	×	0 1 0 1	1	0	1	0	0	1	0	0	0	5
6	1	×	0 1 1 0	1	1	1	0	0	0	0	0	0	6
7	1	×	0 1 1 1	1	0	0	0	1	1	1	1	1	7
8	1	×	1 0 0 0	1	0	0	0	0	0	0	0	0	8
9	1	×	1 0 0 1	1	0	0	0	1	1	0	0	0	9
10	1	×	1 0 1 0	1	1	1	1	0	0	1	0	0	C
11	1	×	1 0 1 1	1	1	1	0	0	1	1	0	0	U
12	1	×	1 1 0 0	1	1	0	1	1	1	0	0	0	U
13	1	×	1 1 0 1	1	0	1	1	0	1	0	0	0	U
14	1	×	1 1 1 0	1	1	1	1	0	0	0	0	0	U
15	1	×	1 1 1 1	1	1	1	1	1	1	1	1	1	消隐
BI'	×	×	××××	0	1	1	1	1	1	1	1	1	消隐
RBI'	1	0	0 0 0 0	0	1	1	1	1	1	1	1	1	消隐
LT'	0	×	××××	1	0	0	0	0	0	0	0	0	8

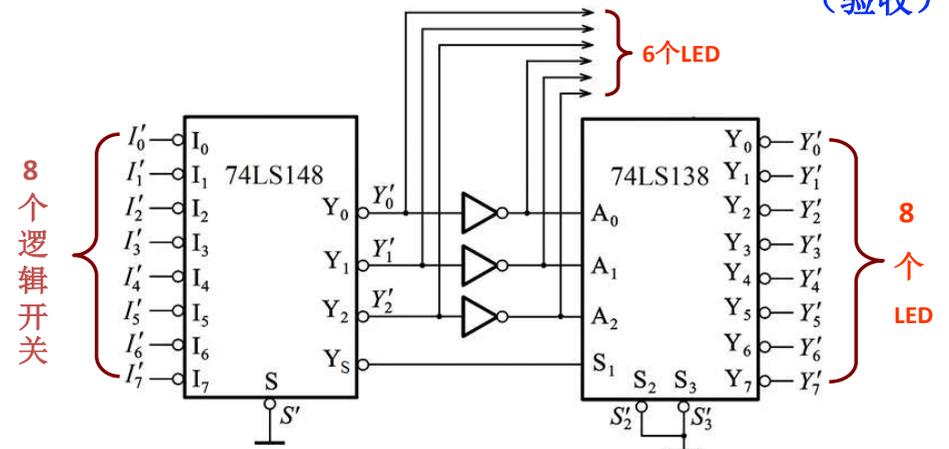
2. 试将74LS138用作数据分配器，将1Hz连续脉冲信号加到电路的控制输入端，输出接发光二极管，改变输入地址码  $A_2$ 、 $A_1$ 、 $A_0$  的值，观察实验现象，记录实验结果。



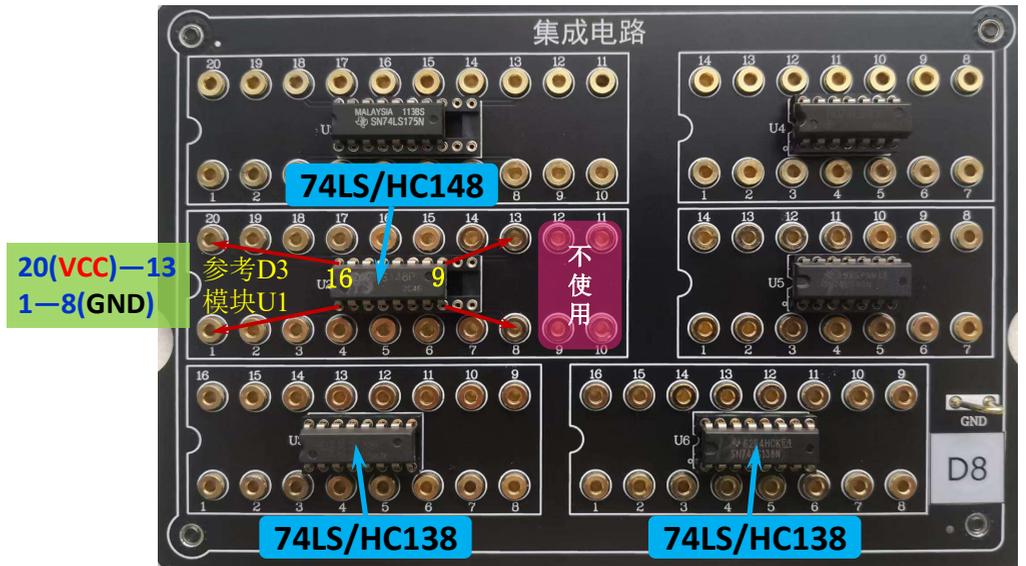
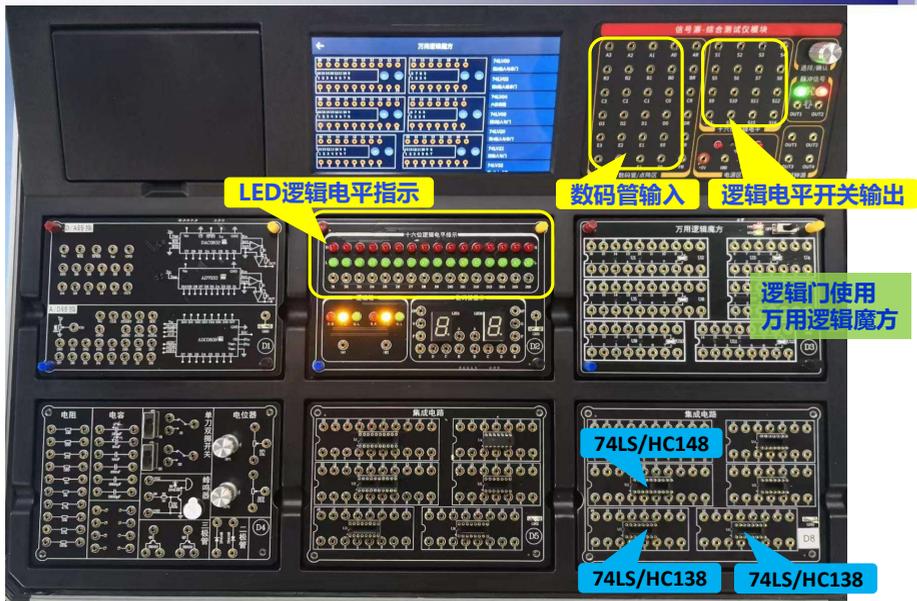
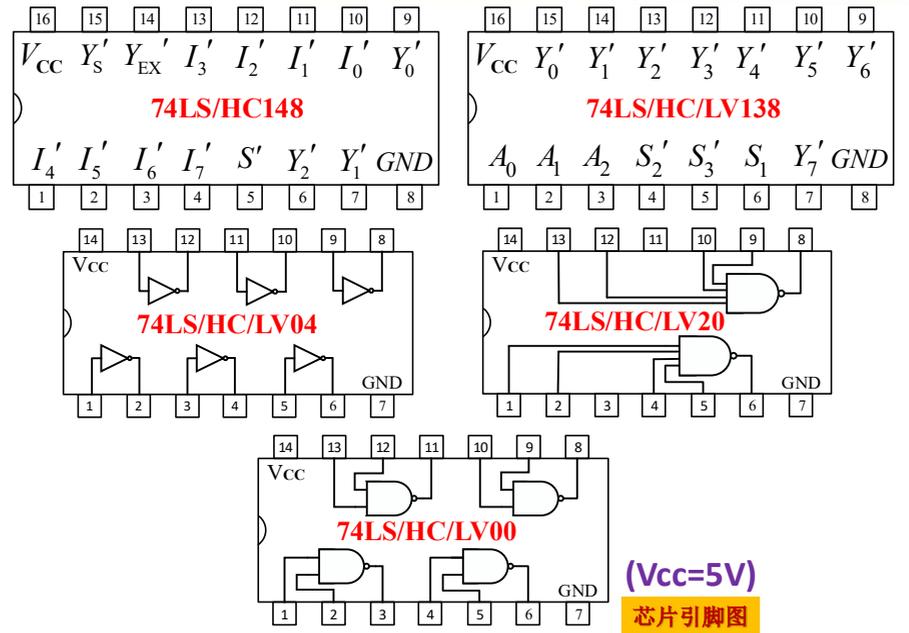
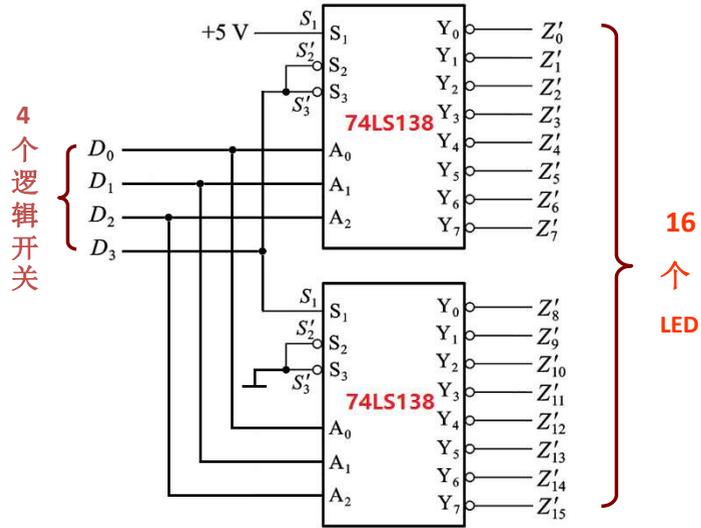
若要求分配器的输出信号与输入脉冲信号同相，在不增加逻辑门的情况下，电路应如何改接。

3. 验证编码器74LS148和译码器74LS138的逻辑功能。

(验收)



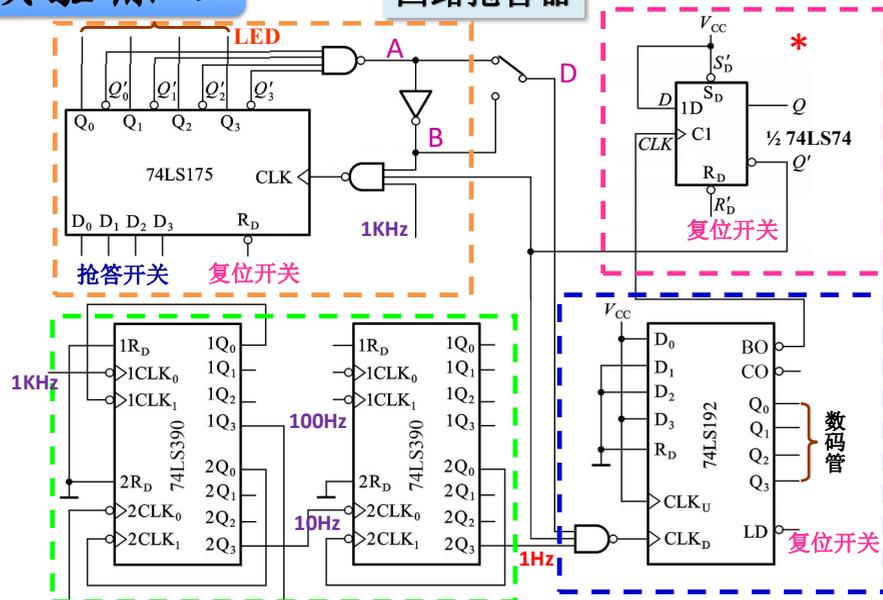
## 5、用两片74LS138扩展为一个4线-16线译码器：



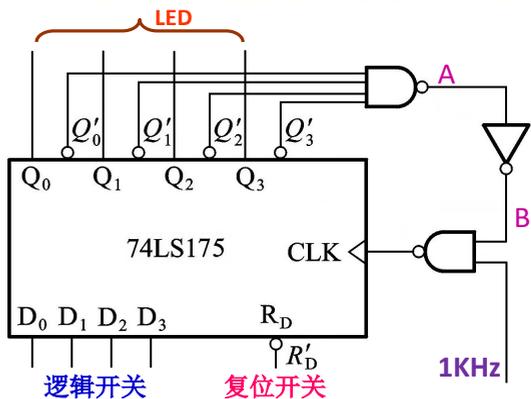
# 抢答器

## 实验原理

## 四路抢答器

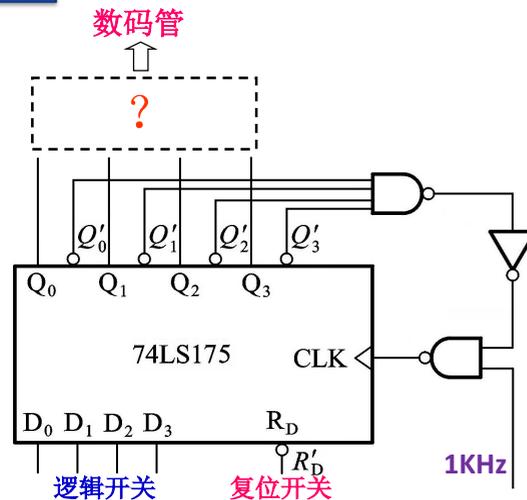


### 1 抢答模块



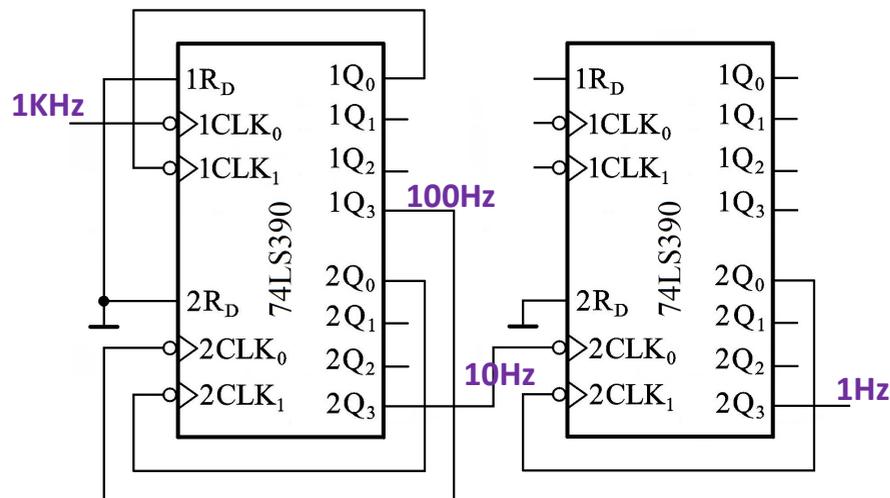
抢答开始前，由主持人按下  $R'_D$  复位开关，74LS175的  $Q_0-Q_3$  的输出为0。当抢答开始后，反应最快的参赛者按下开关，对应的LED点亮，同时，切断了74LS175的时钟信号，电路不再接受其他参赛者的抢答。  
(1KHz接实验箱上的时钟源信号)

### 2 数码管显示模块



实现在1个数码管上显示抢答成功的组号“1”“2”“3”“4”

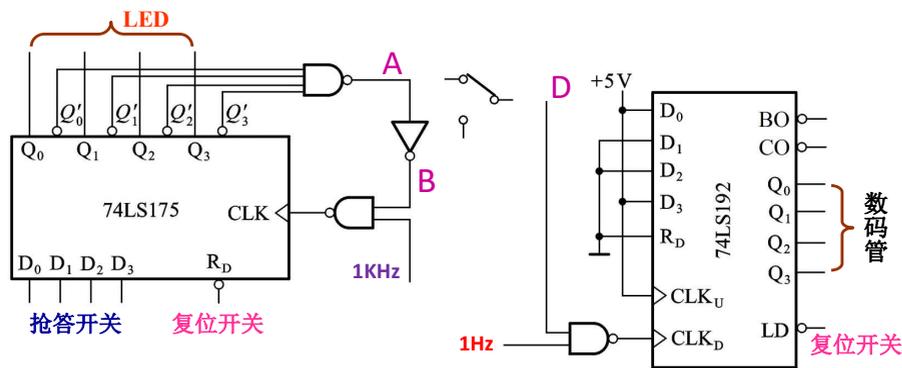
### 3 分频模块



### ½ 双4位十进制计数器74LS390

输入		输出		功能
清0	时钟	Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>		
R <sub>D</sub>	CLK <sub>0</sub> CLK <sub>1</sub>			
1	× ×	0 0 0 0		异步清0
0	↓ 1	— — — 0~1		二进制计数
	1 ↓	000~100 -		五进制计数
	↓ Q <sub>0</sub>	0000 ~ 1001		十进制计数
	Q <sub>3</sub> ↓	Q <sub>0</sub> Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> 输出		十进制计数
	1 1	不 变		保持

### 4 倒计时模块



测试倒计时模块功能后接入抢答电路中。

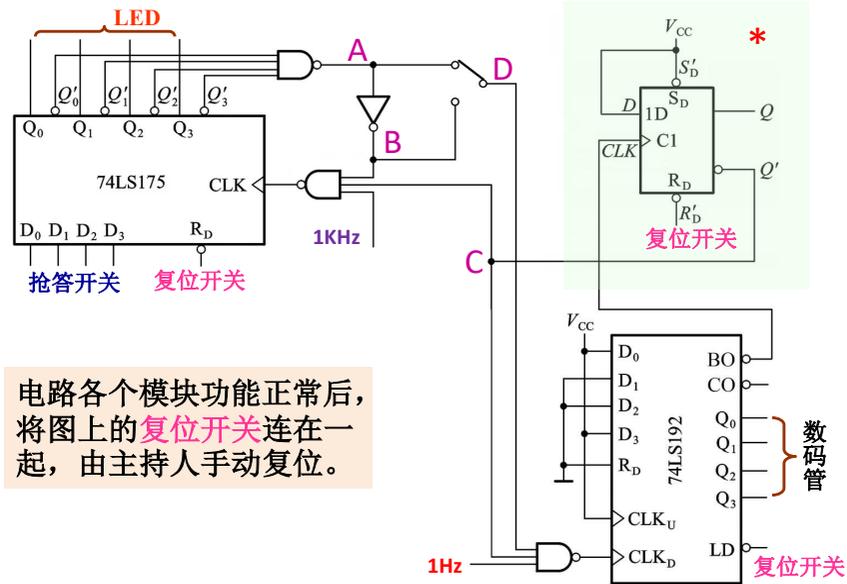
D接A, “答题时间”倒计时  
D接B, “抢答时间”倒计时

### 十进制计数器74LS192功能表

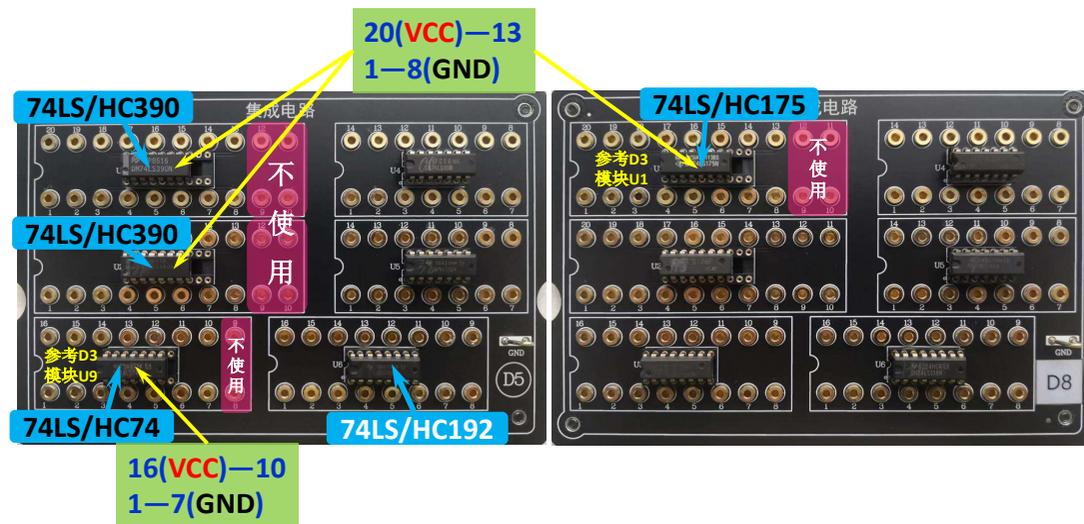
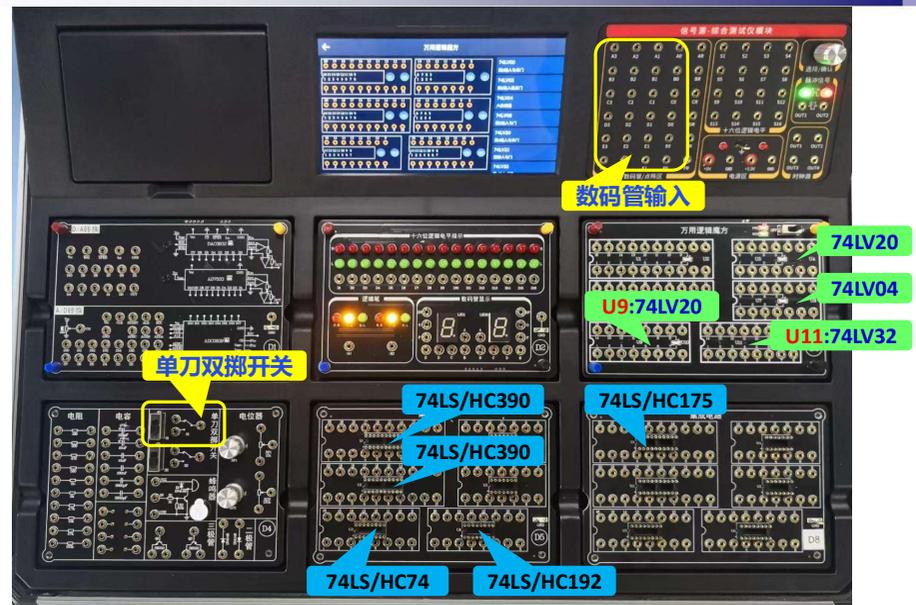
输入			输出								
R <sub>D</sub>	LD'	CLK <sub>U</sub>	CLK <sub>D</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
1	×	×	×	×	×	×	×	0	0	0	0
0	0	×	×	d	c	b	a	d	c	b	a
0	1	↑	1	×	×	×	×	加计数			
0	1	1	↑	×	×	×	×	减计数			

		加计数 →									
输入脉冲数		0	1	2	3	4	5	6	7	8	9
输出	Q <sub>3</sub>	0	0	0	0	0	0	0	0	1	1
	Q <sub>2</sub>	0	0	0	0	1	1	1	1	0	0
	Q <sub>1</sub>	0	0	1	1	0	0	1	1	0	0
	Q <sub>0</sub>	0	1	0	1	0	1	0	1	0	1

← 减计数



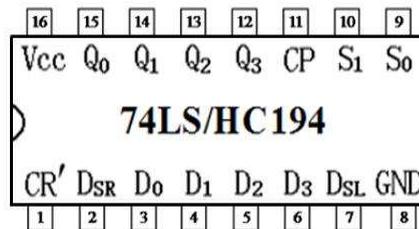
电路各个模块功能正常后，将图上的复位开关连在一起，由主持人手动复位。



# 移位寄存器及其应用

- 一、实验目的
- 二、实验原理
- 三、实验器件
- 四、实验内容及思考题

## • 中规模双向移位寄存器74LS/HC194



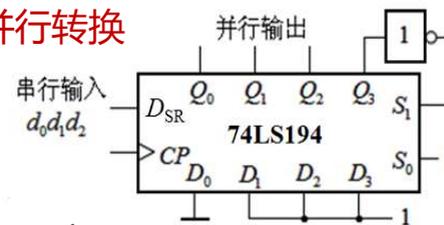
$D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$  为**并行输入端**；  
 $Q_0$ 、 $Q_1$ 、 $Q_2$ 、 $Q_3$  为**并行输出端**；  
 $D_{SR}$  为**右移**串行输入端， $D_{SL}$  为**左移**串行输入端；  
 $S_1$ 、 $S_0$  为操作模式控制端；  
 $CR'$  为异步清零端； $CP$  为时钟脉冲输入端。

- 74LS/HC194有5种不同操作模式：并行送数寄存，右移（方向由 $Q_0$ 至 $Q_3$ ），左移（方向由 $Q_3$ 至 $Q_0$ ），保持及清零。
- $S_1$ 、 $S_0$ 和 $CR'$  端的控制作用如下表所示：

CP	CR'	$S_1$	$S_0$	功能	$Q_0^*Q_1^*Q_2^*Q_3^*$
×	0	×	×	清零	$CR' = 0$ ，使 $Q_0^*Q_1^*Q_2^*Q_3^* = 0000$ ，故寄存器正常工作时， $CR' = 1$
↑	1	1	1	送数	$CP$ 上升沿作用后，并行输入数据送入寄存器， $Q_0^*Q_1^*Q_2^*Q_3^* = D_0D_1D_2D_3$ ，此时串行数据（ $D_{SR}$ 、 $D_{SL}$ ）被禁止
↑	1	0	1	右移	串行数据送至右移输入端 $D_{SR}$ ， $CP$ 上升沿进行右移， $Q_0^*Q_1^*Q_2^*Q_3^* = D_{SR}Q_0Q_1Q_2$
↑	1	1	0	左移	串行数据送至左移输入端 $D_{SL}$ ， $CP$ 上升沿进行左移， $Q_0^*Q_1^*Q_2^*Q_3^* = Q_1Q_2Q_3D_{SL}$
↑	1	0	0	保持	$CP$ 作用后寄存器内容保持不变， $Q_0^*Q_1^*Q_2^*Q_3^* = Q_0Q_1Q_2Q_3$
↓	1	×	×	保持	$Q_0^*Q_1^*Q_2^*Q_3^* = Q_0Q_1Q_2Q_3$

## • 移位寄存器实现数码串—并行转换

- 用74LS/HC194组成的3位串并转换电路：

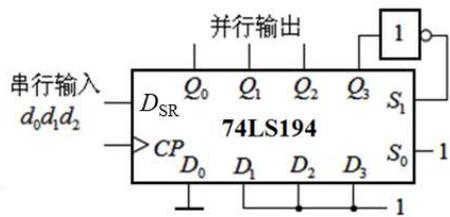


具体转换过程：

- (1) 先将移位寄存器74LS/HC194清零 (即将 $CR'$ 置0)。此时， $Q_3 = 0$ ， $S_1S_0 = 11$ ，74LS/HC194被设置为置数工作模式。
- (2) 第一个 $CP$ 脉冲上升沿到来时，移位寄存器输出 $Q_0Q_1Q_2Q_3 = D_0D_1D_2D_3 = 0111$ ，此时， $S_1S_0 = 01$ 。
- (3) 在第二到第四个 $CP$ 脉冲上升沿到来时，由于 $S_1S_0 = 01$ ，74LS194处于右移工作模式，即

$CP_1$   $S_1S_0=11$   $CP_2$   $S_1S_0=01$   $CP_3$   $S_1S_0=01$   $CP_4$   $S_1S_0=01$   
 $0000 \rightarrow 0111 \rightarrow d_2011 \rightarrow d_1d_201 \rightarrow d_0d_1d_20$   
 置数      串入右移      串入右移      串入右移

## • 用74LS/HC194组成的3位串—并转换电路:



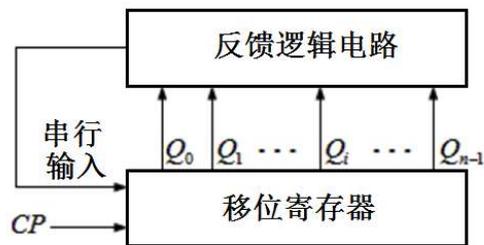
(4) 在第四个CP脉冲上升沿到来后, 3位串行输入数码全移入移位寄存器中, 此时移位寄存器输出 $Q_0Q_1Q_2Q_3 = d_0d_1d_20$ 。使得 $S_1S_0=11$ , 本组3位数码转换完毕, 数码并行输出,  $Q_3=0$ 作为串/并转换结束的标志信号, 既表示本次转换完毕, 同时为下一组数码的转换作好准备。

重复步骤(2)~(4), 可以连续实现多组3位数码的串/并变换。

$CP_1 \quad S_1S_0=11 \quad CP_2 \quad S_1S_0=01 \quad CP_3 \quad S_1S_0=01 \quad CP_4 \quad S_1S_0=01 \quad CP_5 \quad S_1S_0=11$   
 0000  $\rightarrow$  0111  $\rightarrow d_2011 \rightarrow d_1d_201 \rightarrow d_0d_1d_20 \rightarrow$  0111  $\rightarrow$  循环……  
 置数      串入右移      串入右移      串入右移      置数

## • 移位寄存器实现计数器

利用移位寄存器组成的计数器叫做移存型计数器。



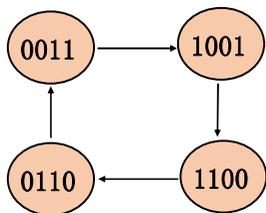
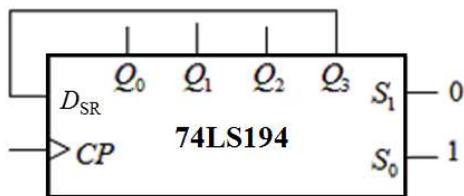
把移位寄存器的输出通过一定的方式反馈到串行输入端, 则可以得到移存型计数器, 其结构框图如左图所示。

左图中, 移位寄存器可用触发器或MSI移位寄存器实现, 而反馈逻辑电路可用门电路或数据选择器等实现。反馈逻辑电路的输出为移位寄存器的串行输入信号。

## • 移位寄存器---环形计数器

用74LS194构成环型计数器是将输出端 $Q_3$ 直接连到右移串行输入端 $D_{SR}$  (或将 $Q_0$ 直接连到左移串行输入端 $D_{SL}$ ), 在CP脉冲作用下逐位右移或左移。

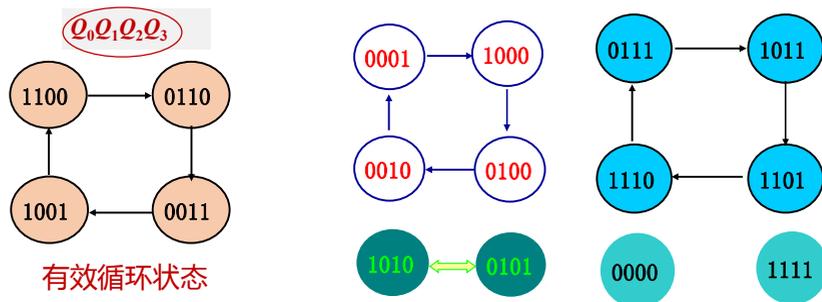
若电路的初始状态为 $Q_0Q_1Q_2Q_3=0011$ , 根据移位寄存器的移位规律, 可以直接得到右移环型计数器的有效循环状态图。



## • 移位寄存器---环形计数器

环型计数器的计数模值等于电路中触发器的数目, 即 $n$ 位环型计数器可以计 $n$ 个有效状态, 计数模值为 $n$ 。

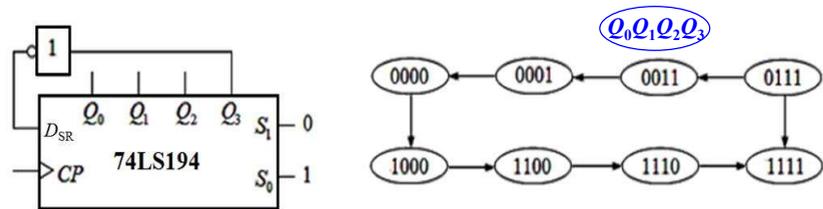
4级触发器共有16种状态, 只有4个有效状态, 还有12种状态不能进入主循环。



缺点: 死循环太多, 有 $2^n - n$ 个状态没用。

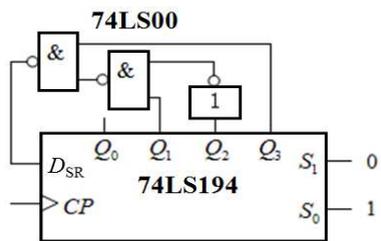
## • 移存型计数器---扭环形计数器

用74LS194构成扭环型计数器是将最后一级输出 $Q_3$ 经反相器后反馈到 $D_{SR}$ 输入端(也可将输出 $Q_0$ 经反相器后反馈到 $D_{SL}$ 输入端)。



当寄存器的位数相同时,扭环型计数器的有效状态是环型计数器的两倍, $n$ 位扭环型计数器可以计 $2n$ 个有效状态,计数模值为 $2n$ ,利用率比环型计数器有所提高。

## • 自启动扭环形计数器



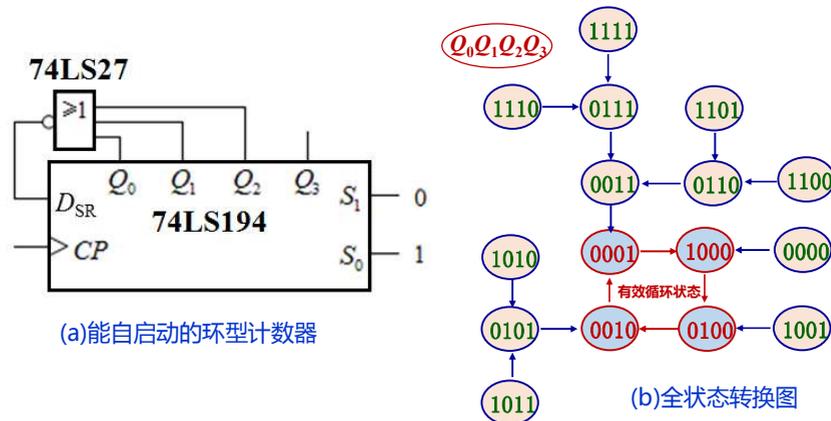
自启动反馈函数设计思想：  
切断无效循环，将断开处的无效状态引导至相应的有效状态。

移存型计数器自启动设计总原则：

反馈电路只允许改变 $Q_0$ 的状态(右移)或 $Q_3$ 的状态(左移)。至于修改哪些无效状态、从哪切断无效循环,方案有很多种,设计者可以自行选择。

## • 自启动环形计数器

数字逻辑电路中的自启动：数字电路中的状态机在上电时,无论它处于什么初始状态,都会自动经过有限次的跳变后,最终进入设定的工作状态下。具有这种功能的电路,就叫做自启动(或自校正)电路。



## • 环形计数器自启动设计(一)

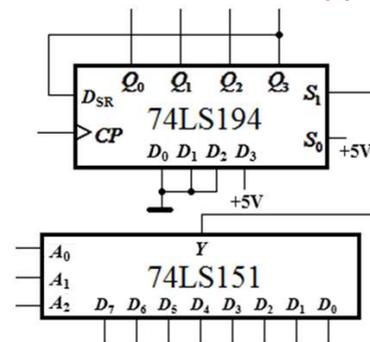
用数据选择器也能解决移存型计数器的自启动问题。

如图所示,将数据选择器74LS151的输出 $Y$ 连接74LS194的 $S_1$ 。并将74LS194的 $D_0D_1D_2D_3$ 置为有效循环内某一状态,比如0001。

上电后,当74LS194的 $Q_0Q_1Q_2Q_3$ 处于有效循环内,使74LS151的输出 $Y=0$ ,则 $S_1S_0=01$ ,工作于右移方式;当74LS194的 $Q_0Q_1Q_2Q_3$ 处于有效循环外,使74LS151的输出 $Y=1$ ,则 $S_1S_0=11$ ,工作于置数方式,将 $Q_0Q_1Q_2Q_3$ 引入有效循环内。

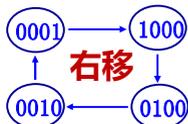
• 要解决的问题：

怎样实现“当74LS194的 $Q_0Q_1Q_2Q_3$ 处于有效循环内,使74LS151的输出 $Y=0$ ”以及“当74LS194的 $Q_0Q_1Q_2Q_3$ 处于有效循环外,使数据选择器输出 $Y=1$ ”?



## • 环形计数器自启动设计 (一)

$Q_0Q_1Q_2Q_3$



$Q_2Q_1Q_0 \rightarrow A_2A_1A_0$

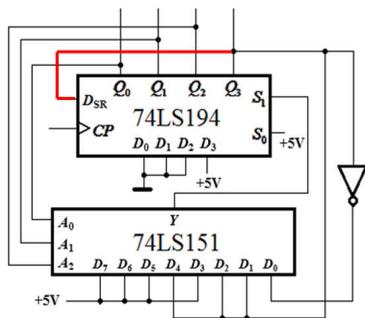
◆ 解决方案:

(1) 确定有效循环状态及  $Q_i$  与  $A_i$  的对应关系。

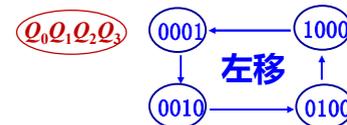
(2) 作出  $Y$  与  $Q_0Q_1Q_2Q_3$  的卡诺图, 确定74LS151的  $D_0 \sim D_7$  的输入。

$Y$	$A_2$	$A_1$	$A_0$	$D_0$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$D_7$
$Q_3$				$Q_0$	$Q_1$	$Q_2$	$Q_3$				
	0	0	0	1	0	0	1	0	1	1	1
	1	0	1	0	1	1	1	1	1	1	1

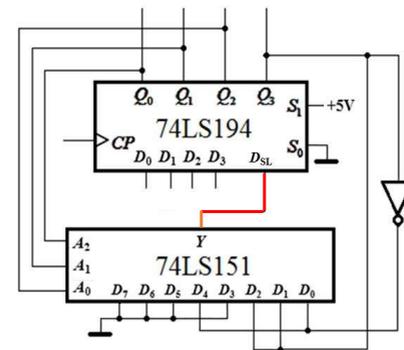
$\Rightarrow D_0=Q_3', D_1=D_2=D_4=Q_3,$   
 $D_3=D_5=D_6=D_7=1$



## • 环形计数器自启动设计 (二)

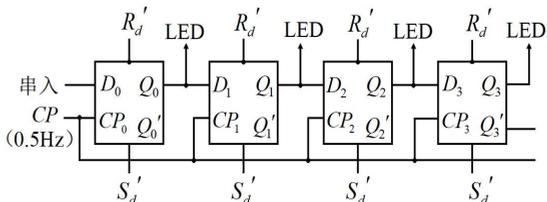


$A_2$	$A_1$	$A_0$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$D_{SL} (Y)$
0	0	0	1				0 $D_0=Q_3'$
0	0	1	0				0 $D_1=Q_3$
0	1	0	0				0 $D_2=Q_3$
1	0	0	0				1 $D_4=Q_3'$
0	1	1	0				0 $D_3=0$
1	0	1	0				0 $D_5=0$
1	1	0	0				0 $D_6=0$
1	1	0	1				0 $D_7=0$
1	1	1	0				0 $D_7=0$
1	1	1	1				0 $D_7=0$



## 实验内容

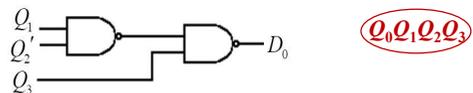
(一)、用四个D触发器 (2块74LS74) 接成4位输出的移位寄存器。



- 从  $D_0$  端串行输入, 寄存器的初态分别置成  $Q_0 \sim Q_3$ : 1000, 0110, 1010, 1110, 在每种初态下, 把  $D_0$  接  $Q_3$ , 记录在  $CP$  作用下LED的工作状态。
- 从  $D_0$  端串行输入, 寄存器的初态分别置成  $Q_0 \sim Q_3$ : 0000和1010, 把  $D_0$  接  $Q_3'$ , 记录在  $CP$  作用下LED的工作状态。

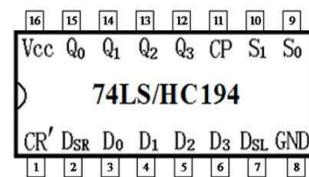
(也可以运用D触发器的异步清0端  $R_d'$  ( $R_d'=0$ 时 $Q=0$ ) 和置1端  $S_d'$  ( $S_d'=0$ 时,  $Q=1$ ) 来设寄存器的初态)

- 自启动:  $D_0 = ((Q_1Q_2)')'Q_3'$ , 记录在  $CP$  作用下LED工作状态 (全状态转换图)。(验收)



## (二)、测试双向移位寄存器74LS/HC194的逻辑功能

清零端  $CR'$  接 "1",  $D_0, D_1, D_2, D_3, S_1, S_0$  分别接6个逻辑电平,  $CP$  接1Hz脉冲信号,  $Q_0 \sim Q_3$  分别接4个LED指示灯。



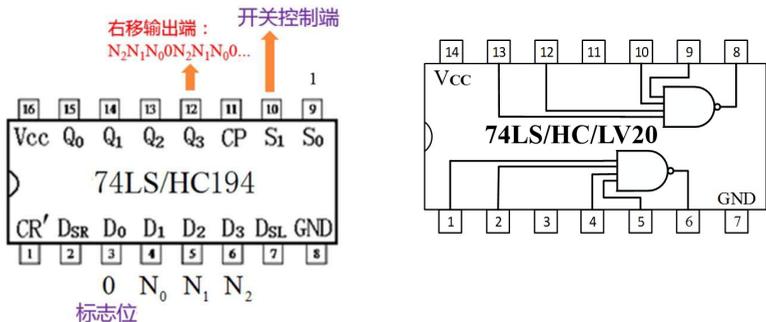
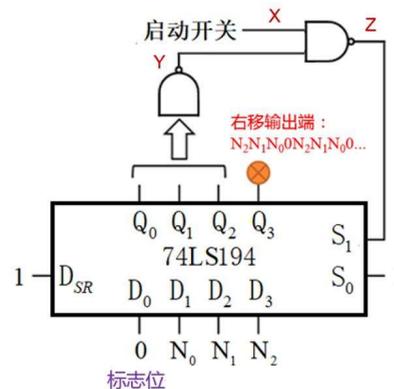
$CR'$	$S_1 S_0$	工作状态
0	××	置零
1	00	保持
1	01	右移
1	10	左移
1	11	置数 (并行输入)

- $S_1S_0=11$ ,  $D_0D_1D_2D_3$  分别取0110和1001, 记录  $Q_0 \sim Q_3$  的工作状态。
- $S_1S_0=00$ , 观察并记录  $Q_0 \sim Q_3$  的状态。
- $S_1S_0=01$ , 取初态  $Q_0 \sim Q_3$ : 1000, 使  $D_{SR}$  与  $Q_3$  相连, 记录  $Q_0 \sim Q_3$  的工作状态。
- $S_1S_0=10$ , 取初态  $Q_0 \sim Q_3$ : 0001, 使  $D_{SL}$  与  $Q_0$  相连, 记录  $Q_0 \sim Q_3$  的工作状态。

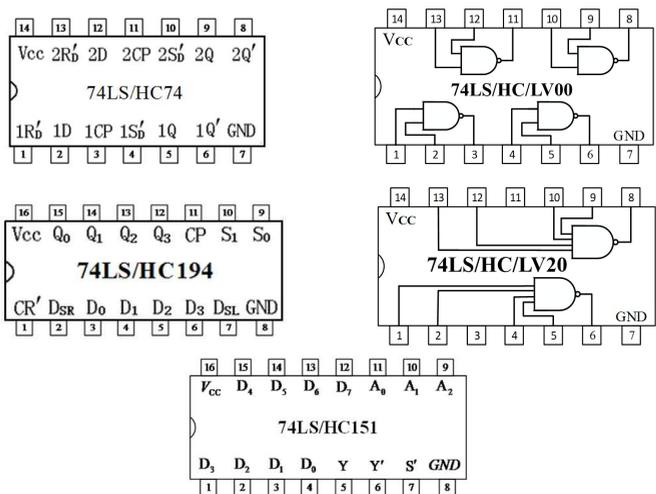
### (三)、用74LS194组成包含启动开关的3位并一串转换电路。

- 1、启动前，启动开关置“0”，194处于置数状态 ( $S_1S_0=11$ )
- 2、启动开关置“1”，194进入右移状态 ( $S_1S_0=01$ )，输出端 $Q_3$ 依次输出 $N_2N_1N_0$
- 3、标志位的“0”到达输出端后，194再次进入置数状态 ( $S_1S_0=11$ )
- 4、从 $Q_3$ 循环输出： $N_2N_1N_00N_2N_1N_00\dots$

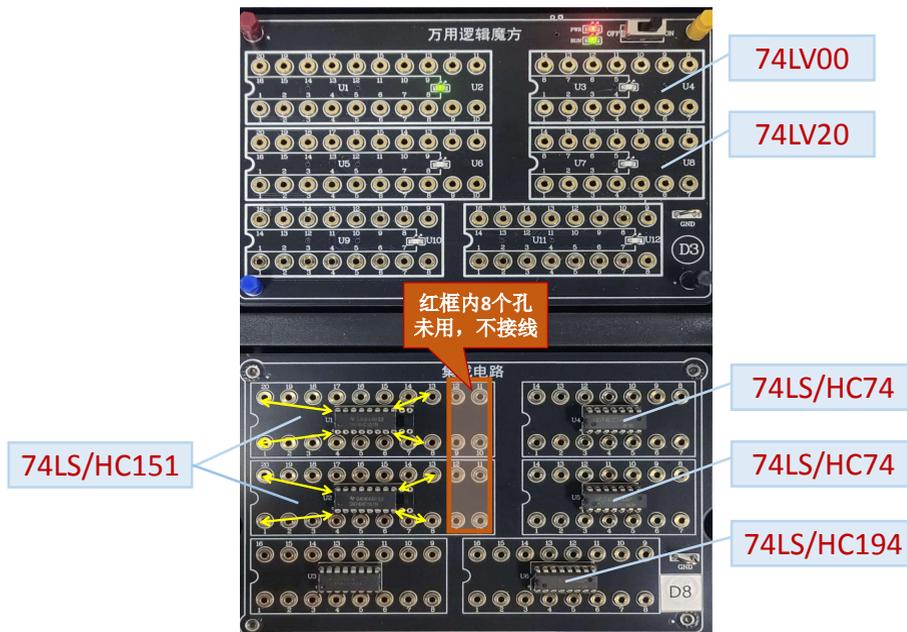
设计并完善逻辑电路图，搭建电路并运行记录状态转换图。(验收)



$X = 0 \rightarrow S_1S_0 = 11 \xrightarrow{CP_1} 0N_0N_1N_2$  (置数)  
 $\rightarrow X = 1 \rightarrow S_1S_0 = 01 \xrightarrow{CP_2} 10N_0N_1 \xrightarrow{CP_3} 110N_0 \xrightarrow{CP_4} 1110 \rightarrow S_1S_0 = 11 \xrightarrow{CP_5} 0N_0N_1N_2$  (置数)  $\rightarrow$  循环.....

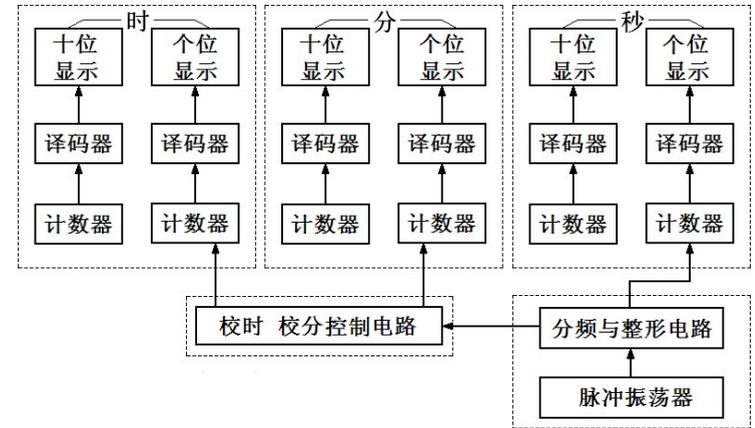


( Note: 所用芯片的Vcc要接+5V, GND要接地。 )



## 数字钟

数字钟由振荡器、分频器、计数器、译码显示电路和校时校分控制电路组成。



数字钟逻辑框图

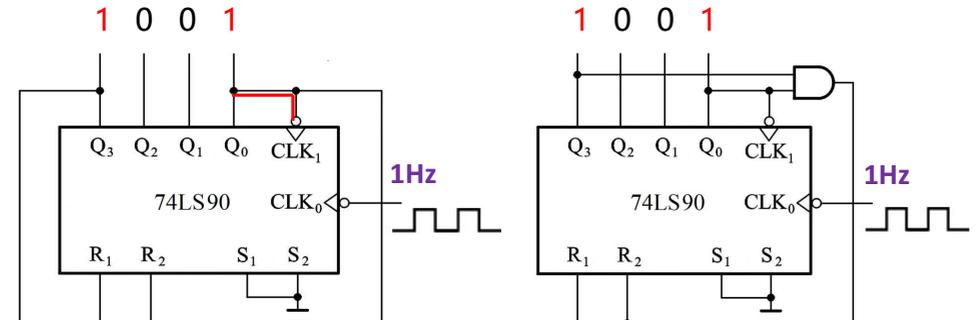
### 二-五-十进制计数器74LS/HC90(290)

输入			输出		功能
清0	置9	时钟	Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>		
R <sub>1</sub> R <sub>2</sub>	S <sub>1</sub> S <sub>2</sub>	CLK <sub>0</sub> CLK <sub>1</sub>			
1 1	0 × × 0	× ×	0 0 0 0		异步清0
× ×	1 1	× ×	1 0 0 1		异步置9
0 × × 0	0 × × 0	↓ 1	- - - 0~1		二进制计数
		1 ↓	000~100 -		五进制计数
		↓ Q <sub>0</sub>	0000 ~ 1001 8421BCD码		十进制计数
		Q <sub>3</sub> ↓	Q <sub>0</sub> Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> 输出 5421BCD码		十进制计数
		1 1	不变		保持

### 74LS/HC90(290)实现任意M进制计数器

#### 1. 10以内M进制计数器的设计

例：用74LS90(290)实现9进制加法计数器。

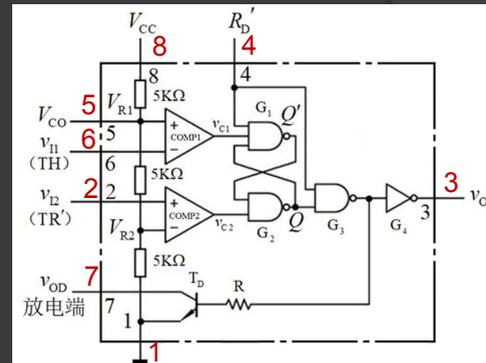




# 555时基电路应用

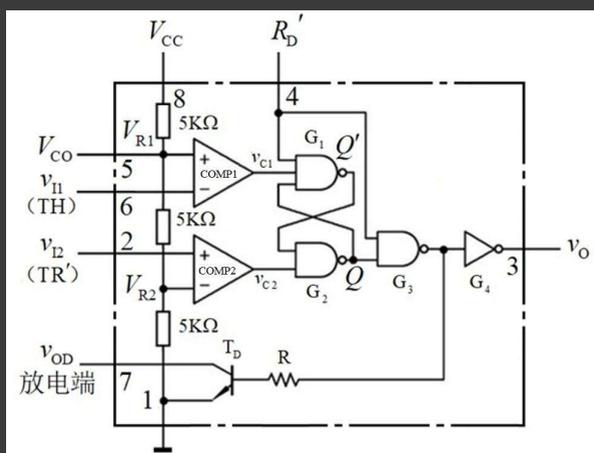
## 二、实验原理 555定时器

- > 1脚为接地端 GND；
- > 2脚为低电平触发端，由此输入低电平触发脉冲；
- > 3脚为输出端，输出电流可达200mA（双极型）；
- > 4脚为复位端，输入负脉冲（或使其电压低于0.7V）可使555定时器直接复位；



- > 5脚为电压控制端，在此端外加电压可以改变比较器的参考电压，不用时，经0.01uF的电容器接地，以防止引入干扰；
- > 6脚为高电平触发端，由此输入高电平触发脉冲；
- > 7脚为放电端，555定时器输出低电平时，放电晶体管 $T_D$ 导通，外接电容元件通过 $T_D$ 放电；
- > 8脚为电源电压 $V_{cc}$ （双极型5~16V，CMOS型3~18），**本实验为+5V。**

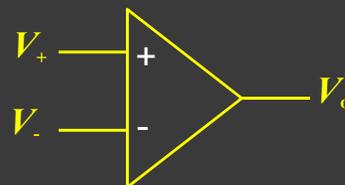
## 二、实验原理 555定时器



构成：  
三个分压电阻、  
两个电压比较器、  
一个由与非门组成的SR锁存器（阎石第六版数电教材中改为由或非门组成的SR锁存器）、  
一个集电极开路的放电晶体管、  
一个缓冲门

## 二、实验原理 由与非门构成的SR锁存器特性表：

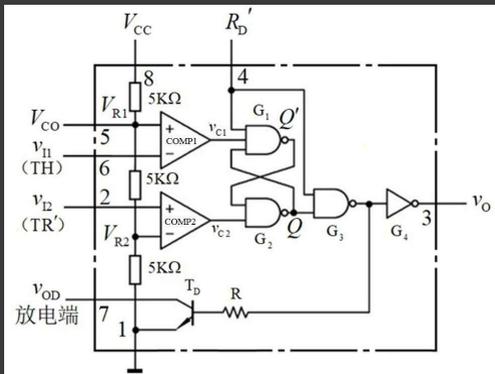
$R' (v_{c1})$	$S' (v_{c2})$	$Q^*$
1	1	$Q$ (保持)
0	1	0
1	0	1
0	0	1 (在 $S'$ 、 $R'$ 的0状态同时消失后状态不定)



电压比较器特性：  
当 $V_+ > V_-$ ,  $V_o = 1$  (高电平)  
当 $V_+ < V_-$ ,  $V_o = 0$  (低电平)

## 二、实验原理

### 555定时器

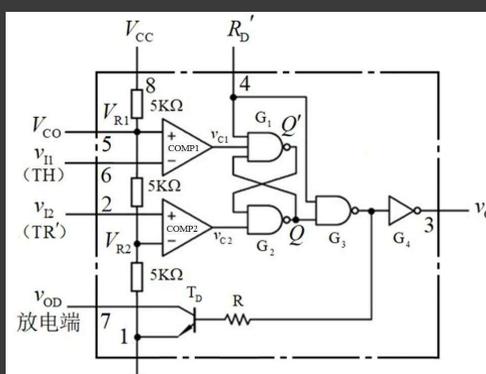


(1) 当  $v_{I1} > v_{R1}$ 、 $v_{I2} > v_{R2}$  时， $v_{c1} = 0$ ， $v_{c2} = 1$ ，SR锁存器被置0 ( $Q = 0$ )，定时器输出  $v_o = 0$  (为低电平)，同时  $T_D$  导通。

(2) 当  $v_{I1} < v_{R1}$ 、 $v_{I2} > v_{R2}$  时， $v_{c1} = 1$ ， $v_{c2} = 1$ ，锁存器的状态保持不变，因而  $T_D$  和输出  $v_o$  的状态也保持不变。

## 二、实验原理

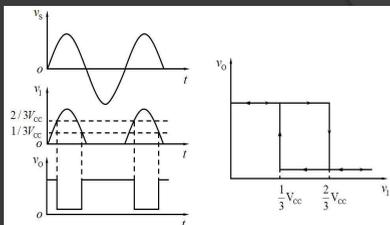
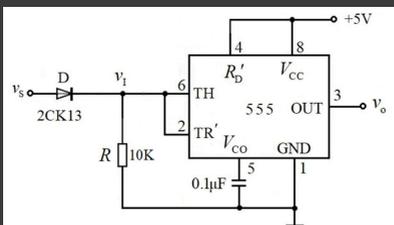
### 555定时器



(3) 当  $v_{I1} < v_{R1}$ 、 $v_{I2} < v_{R2}$  时， $v_{c1} = 1$ ， $v_{c2} = 0$ ，锁存器被置1 ( $Q = 1$ )， $v_o = 1$  (为高电平)，同时  $T_D$  截止。

(4) 当  $v_{I1} > v_{R1}$ 、 $v_{I2} < v_{R2}$  时， $v_{c1} = 0$ ， $v_{c2} = 0$ ，锁存器处  $Q = Q' = 1$  的状态， $v_o = 1$  (为高电平)，同时  $T_D$  截止。

## (5) 用555构成施密特触发器



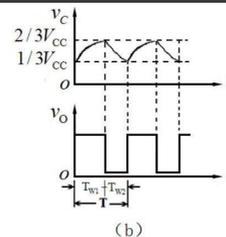
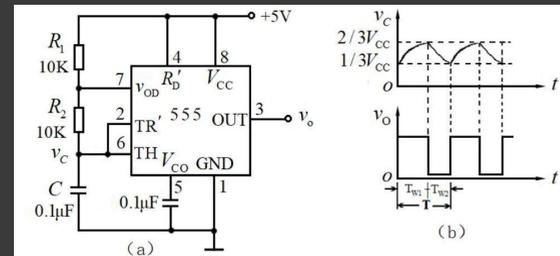
a. 刚上电： $v_6 = v_2 = 0$ ， $v_{c1} = 1$ ， $v_{c2} = 0$ ，锁存器置1， $Q = 1$ ， $v_o = 1$ 。

b. 第一次翻转：当  $v_1 = v_6 = v_2$  上升到  $1/3 V_{cc}$ ， $v_{c1} = 1$ ， $v_{c2} = 1$ ， $Q$  保持=1， $v_o = 1$ ；当  $v_1 = v_6 = v_2$  上升到  $2/3 V_{cc}$ ， $v_{c1} = 0$ ， $v_{c2} = 1$ ，锁存器置0， $Q = 0$ ， $v_o = 0$ 。

c. 第二次翻转：当  $v_1$  下降到  $2/3 V_{cc}$  时， $v_{c1} = 1$ ， $v_{c2} = 1$ ， $Q$  保持=0， $v_o = 0$ ；当  $v_1$  下降到  $1/3 V_{cc}$  时， $v_{c1} = 1$ ， $v_{c2} = 0$ ， $Q$  置1， $v_o = 1$ 。

d. 循环往复

## (6) 用555构成多谐振荡器

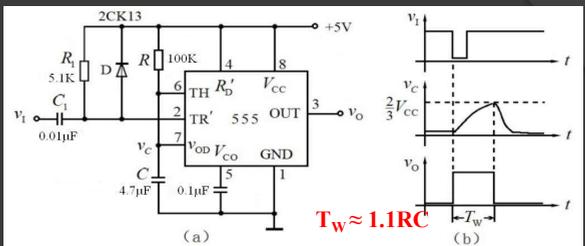


a. 刚上电： $v_c = v_6 = v_2 = 0$ ， $v_{c1} = 1$ ， $v_{c2} = 0$ ，锁存器置1， $Q = 1$ ， $v_o = 1$ ， $T_D$  截止， $V_{cc}$  给  $C$  充电， $v_c$  从0上升。

b. 第一次翻转：当  $v_c = v_6 = v_2$  上升到  $1/3 V_{cc}$ ， $v_{c1} = 1$ ， $v_{c2} = 1$ ， $Q$  保持=1， $v_o = 1$ ；当  $v_c = v_6 = v_2$  上升到  $2/3 V_{cc}$ ， $v_{c1} = 0$ ， $v_{c2} = 1$ ，锁存器置0， $Q = 0$ ， $v_o = 0$ ， $T_D$  导通， $C$  放电， $\tau = R_2 C$ ， $T_{w2} \approx 0.7 R_2 C$ 。

c. 第二次翻转：当  $v_c$  下降到  $1/3 V_{cc}$  时， $v_{c1} = 1$ ， $v_{c2} = 0$ ， $Q$  置1， $v_o = 1$ ， $T_D$  截止， $V_{cc}$  给  $C$  充电， $\tau = (R_1 + R_2) C$ ， $T_{w1} \approx 0.7 (R_1 + R_2) C$ ，进入循环。

## (7) 用555构成单稳态触发器



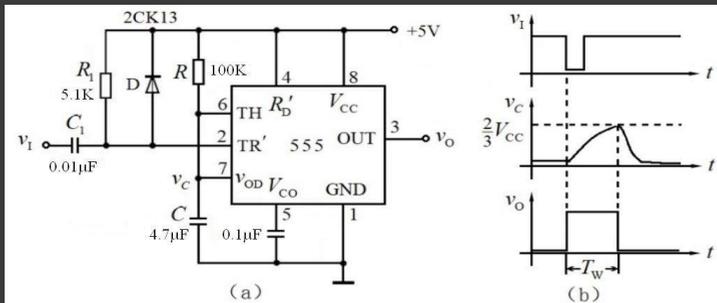
a. 稳态:  $v_6=0, v_2=1, v_{c1}=1, v_{c2}=1$ , 锁存器的状态保持。若  $Q=0$  则保持0,  $v_o=0$ ; 若  $Q=1$ , 则  $T_D$  截止,  $V_{cc}$  经  $R$  给  $C$  充电, 当  $v_c$  上升到  $2/3 V_{cc}$  时,  $v_{c1}=0, v_{c2}=1$ , 锁存器置零,  $Q=0, v_o=0, T_D$  导通,  $C$  迅速放电,  $v_c$  降到0,  $v_{c1}=1$ 。

b. 翻转: 当  $v_i$  下降到  $<1/3 V_{cc}$ ,  $v_{c2}=0$ , 此时  $v_{c1}=1, Q=1, v_o=1, T_D$  截止,  $V_{cc}$  给  $C$  充电。

c. 暂稳态:  $V_{cc}$  经  $R$  给  $C$  充电, 充电回路:  $V_{cc} \rightarrow R \rightarrow C \rightarrow$  地; 充电过程:  $v_c = v_6 \uparrow$ , 从0到  $2/3 V_{cc}$ ; 充电时常数:  $RC, T_w = RC \ln 3 \approx 1.1RC$ 。

d. 恢复: 当  $v_6 = v_c \geq 2/3 V_{cc}, v_{c1}=0$ ; 此时若  $v_i$  回到高电平, 则  $v_2=1, v_{c2}=1, Q=0, v_o=0, T_D$  导通,  $C$  放电, 当  $v_c$  下降到  $<1/3 V_{cc}, v_{c1}=1$ , 保持  $v_o=0$ , 恢复到稳态。

## 三、实验内容 1. 用555构成单稳态触发器



温馨提示:  
示波器输入耦合选【DC】, 并打开【带宽限制】选择【20M】。

(1) 按图6-2(a)连接电路, 输入信号  $v_i$  加0.5Hz的连续脉冲。用示波器同时观测记录  $v_i、v_c、v_o$  波形, 测定幅度与暂稳时间 (示波器时基设置为  $200ms/DIV$  或  $500ms/DIV$ )。

(2) 将  $R$  改为  $1K\Omega, C$  改为  $0.1\mu F$ , 输入信号  $v_i$  加2KHz的连续脉冲, 观测记录  $v_i、v_c、v_o$  波形, 测定幅度与暂稳时间 (示波器时基设置为  $200\mu s/DIV$ )。



函数信号发生器输出的方波作为单稳态的触发信号:

波形选择【方波】; 【A路频率】设置为0.5Hz;

【A路幅度】设置为5Vpp;

【A路偏移】偏移设置为2.5V<sub>dc</sub>。

## 单稳态触发器波形示例1:

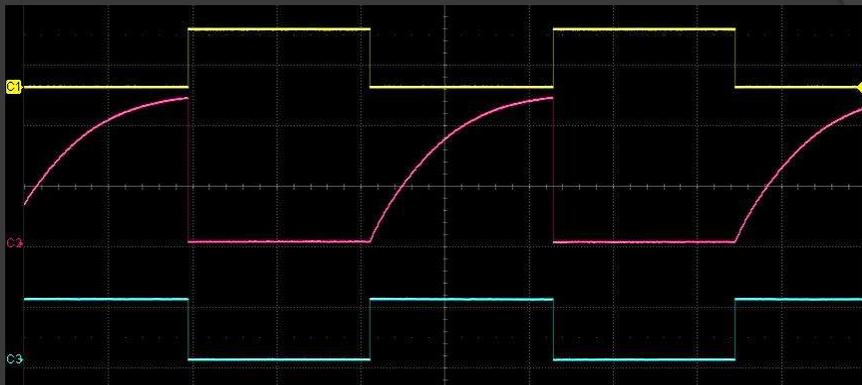
方波  $v_i$  经过  $C_1$  接入2脚后的波形



注: CH1- $v_i$ 、CH2- $v_c$ 、CH3- $v_o$

## 单稳态触发器波形示例2：

方波  $v_1$  直接接入2脚的波形



NOTE：从上图可见，C在  $v_c$  达到  $2/3V_{cc}$  时不能及时放电，导致  $v_0$  不能及时回归稳态。



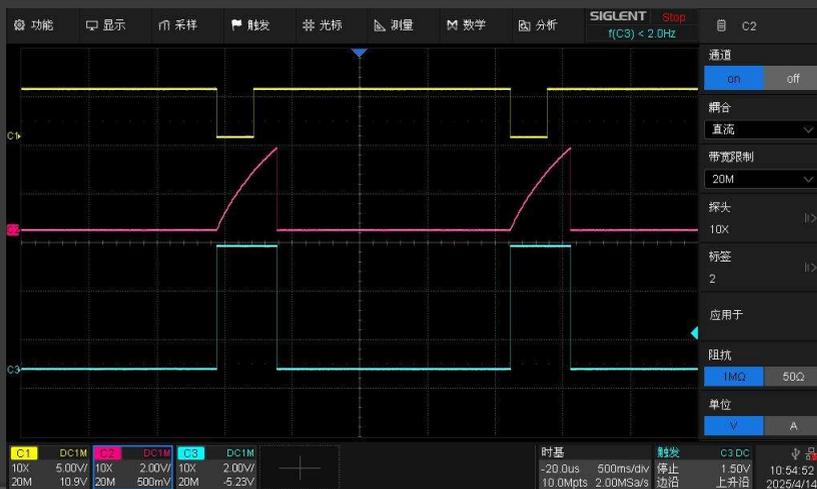
函数信号发生器输出的脉冲作为单稳态的触发信号：

波形选择【脉冲】；【A路频率】设置为0.5Hz；

【A路脉宽】设置为1900ms（此时波形为负脉宽仅100ms的脉冲信号）；

【A路幅度】设置为5Vpp；【A路偏移】偏移设置为2.5V<sub>dc</sub>。

输入使用100ms/2s窄负脉冲时，单稳态触发器波形如下图所示，此时，电路输入端的C1对波形无影响。



## 2、用555构成多谐振荡器

如图6-3(a)所示，由555定时器和外接元件  $R_1$ 、 $R_2$ 、 $C$  构成多谐振荡器。电路没有稳态，仅存在两个暂稳态，电路亦不需要外加触发信号，利用电源通过  $R_1$ 、 $R_2$  向C充电，以及C通过  $R_2$  向放电端放电，使电路产生震荡。电容C在  $1/3V_{cc}$  和  $2/3V_{cc}$  之间充放电，输出信号的时间参数是：

$$T = T_{w1} + T_{w2} \quad T_{w1} = 0.7(R_1 + R_2)C \quad T_{w2} = 0.7R_2C$$

(1) 按图6-3(a)连接电路，用示波器观测并记录  $v_c$ 、 $v_0$  波形及参数。

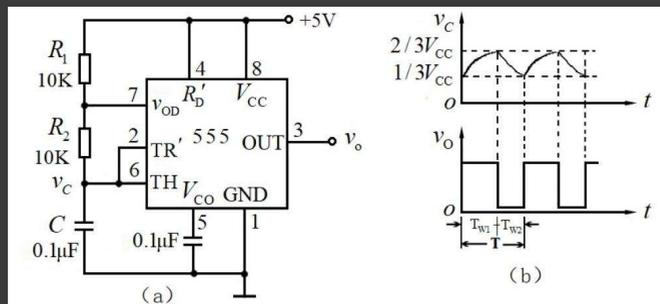


图 6-3

2、(2) 按图6-4连接电路，调节电位器 ( $R_W$ ) 组成占空比为50%的方波信号发生器，观测并记录  $v_c$ 、 $v_o$  波形及参数。

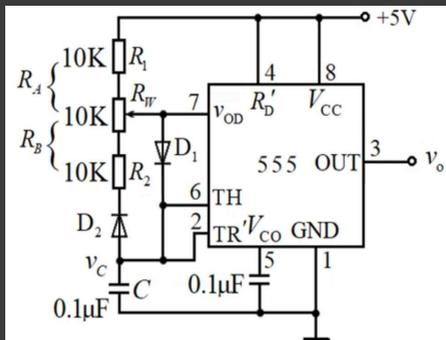


图 6-4

$$T_{W1} = 0.7R_A C$$

$$T_{W2} = 0.7R_B C$$

$$P = R_A / (R_A + R_B)$$

3、用555构成施密特触发器：按图6-5(a)连接电路，输入信号  $v_s$  为1KHz正弦波，接通电源，逐步加大  $v_s$  的实测幅度至9V<sub>pp</sub>，观测记录  $v_1$  和  $v_o$  波形及参数，测试记录  $v_1-v_o$  的电压传输特性，算出回差电压  $\Delta U$ 。 ( $v_s$  的offset调为0V)

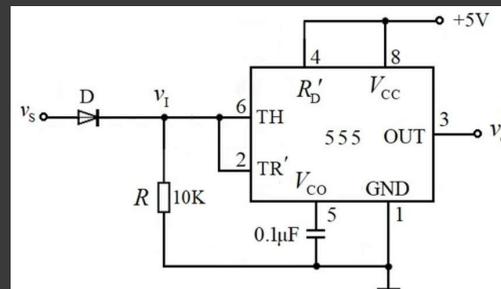


图 6-5(a)

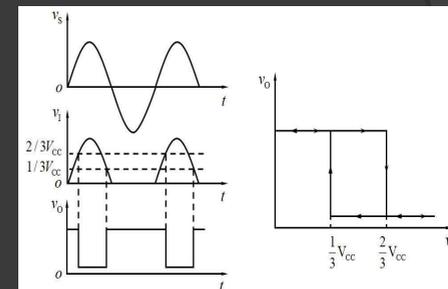


图 6-5(b)

#### 4、用555构成警笛电路 (选做)

- (1) 按图6-6连接电路。
- (2) 在  $R_{p1}$ 、 $R_{p2}$  同时约为最大值的一半时，观测记录  $U_1$  的3端  $U_{o1}$ 、6端  $v_{c1}$  及  $U_2$  的3端  $U_{o2}$  波形及参数。
- (3) 调节  $R_{p1}$ ，观测记录各波形的变化。
- (4) 调节  $R_{p2}$ ，观测记录各波形的变化。

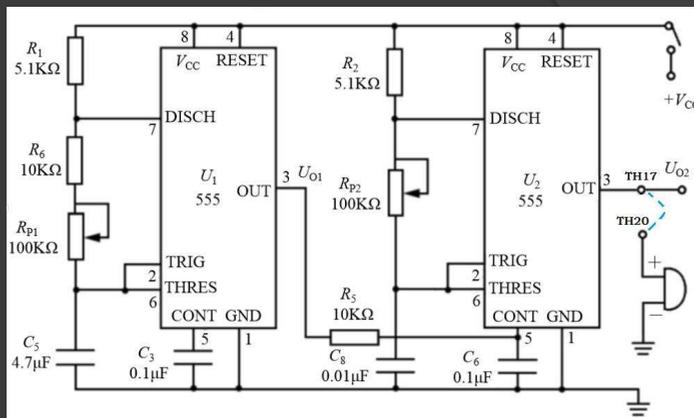


图6-6 警笛电路