## 数字钟实验报告

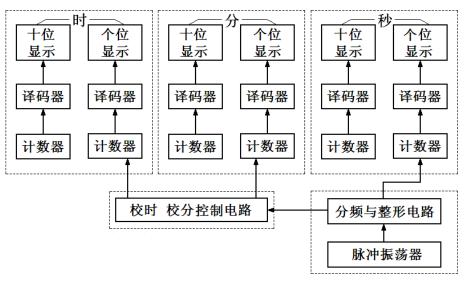
### 1. 实验目的

- 1.1. 掌握用数字集成电路设计数字钟的基本原理和方法。
- 1.2. 熟悉典型集成电路的逻辑功能,掌握任意进制计数器的设计与实现。
- 1.3. 了解数字钟电路的调试及故障排除方法。

### 2. 实验原理

#### 2.1. 数字钟

数字钟由振荡器、分频器、计数器、译码显示电路和校时校分控制电路组成。



数字钟逻辑框图

#### 2.2. 振荡器、分频器电路

振荡器是整个数字钟的核心,它的稳定度和频率的精确度决定了数字钟计时的准确性,是影响数字钟质量的决定性因素之一。在实际电路中采用晶体振荡器作为振荡源。

振荡器产生的时钟信号经过分频器形成秒信号,输入到计数器进行计数。

#### 2.3. 计数电路

数字钟的计数电路可用两个60进制和一个24进制或12进制实现。

60 进制计数器由一个 10 进制计数器与一个 6 进制计数器组成,分别对应"秒"(或"分")的个位和十位进行计数。实验用 24 进制计数器作为"时"位计数器。

计数电路由六片74LS/HC90(290)构成,可用反馈清零法设计。

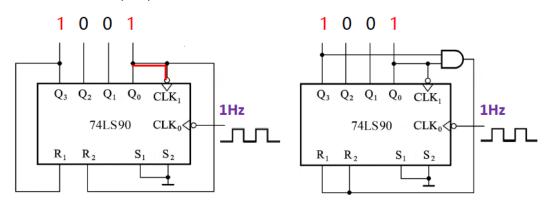
### 2.4. 74LS/HC90(290)实现任意 M 进制计数器

二-五-十进制计数器74LS/HC90(290)功能见下表:

输入					输 出	
清 0		置 9		时 钟	0.000	功能
$\mathbf{R}_{1}$	$\mathbf{R}_{2}$	$S_1$	$S_2$	CLK <sub>0</sub> CLK <sub>1</sub>	$Q_3Q_2Q_1Q_0$	93 110
1	1	0 ×	× 0	××	0 0 0 0	异步清 0
×	×	1	1	××	1 0 0 1	异步置9
				↓ 1	0~1	二进制计数
				1 ↓	000~100 -	五进制计数
0	×	0	×	$\downarrow$ $Q_0$	0000 ~ 1001 8421BCD码	十进制计数
×	0	×	0	$Q_3 \downarrow$	Q <sub>0</sub> Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> 输出 5421BCD码	十进制计数
				1 1	不 变	保 持

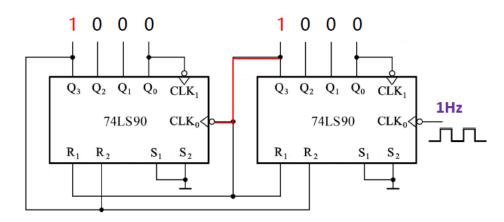
### 2.4.1.10以内 M 进制计数器的设计

例:用74LS90(290)实现9进制加法计数器:



#### 2.4.2. 10 到 100 以内 M 进制计数器的设计

例:用两片74LS90(290)实现88进制加法计数器。



### 2.5. 译码器和显示电路

在数字钟电路中,译码器的输入信号就是计数器的输出信号,译码器的输出端接至数码管。

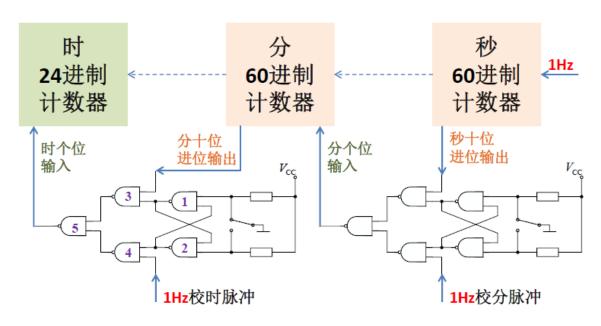
实验中使用已经集成了译码器的共阴极数码管。

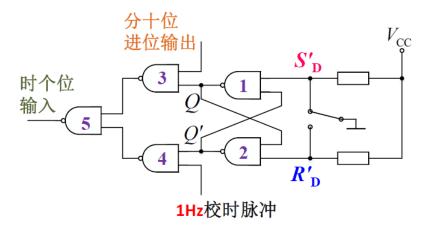
### 2.6. 校时、校分电路

本实验中可设有两个快速校准电路,由SR锁存器和与非门组成。

正常工作时,两个开关合到 $S'_D$ 端, SR锁存器置 1, 分、时脉冲信号通过。

当开关合到 $R'_D$ 端时,SR锁存器置 0,正常计数不能通过,而秒脉冲通过,使分、时计数器变成了秒计数器可以快速校准。





# 3. 实验设备及器件

- (1)数字电路综合实验平台
- (2)门电路:

74LS/HC/LV08、74LS/HC/LV00、74LS/HC/LV02、 74LS/HC/LV04、74LS/HC/LV32、74LS/HC/LV21。

(3) 计数器:

74LS/HC90(290)(四片)

# 4. 实验内容

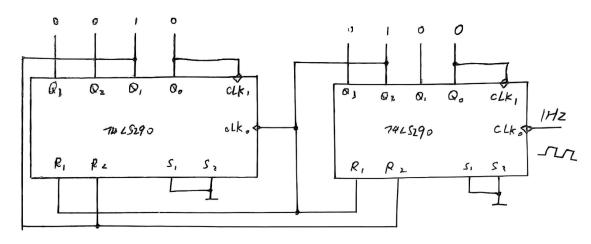
4.1. 试用74LS/HC90(290)设计数字钟用 24 进制和 60 进制计数器。

(时钟信号接信号源或实验箱上的时钟源,取频率为1Hz)

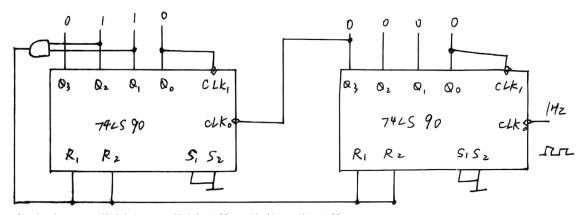


电路图如下:

24 进制:

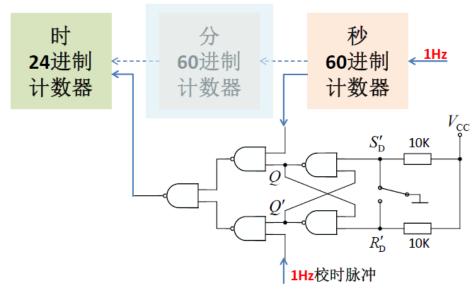


60 进制:



实验时,24进制和60进制计数器均能正常计数。

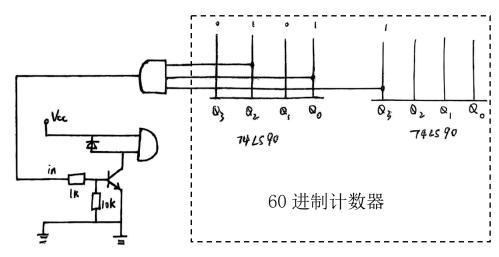
4. 2. 在实验内容 1 的基础上增加校时电路。(与非门也可使用LTELV000) 电路图示意:



实验时,通过双刀单掷开关,可以实现两个计数器的校时。

4.3. 试在实验内容1的基础上实现报时功能。

设计电路图如下:

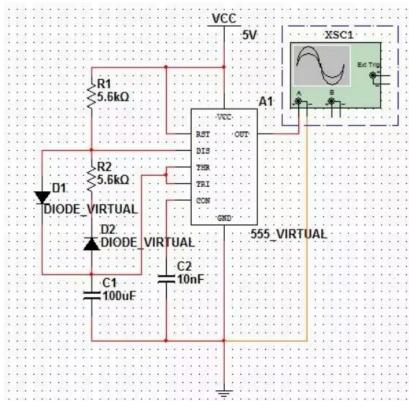


如图,接 58 和 59 信号入蜂鸣器,使之在 58、59 秒蜂鸣两次,实现报时功能。

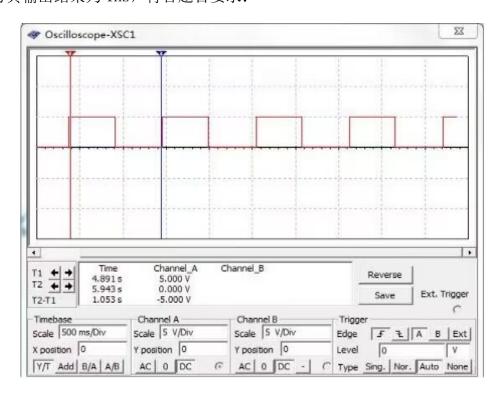
## 5. 思考题

5.1. 试用 555 设计秒脉冲电路。

设计电路图如下:

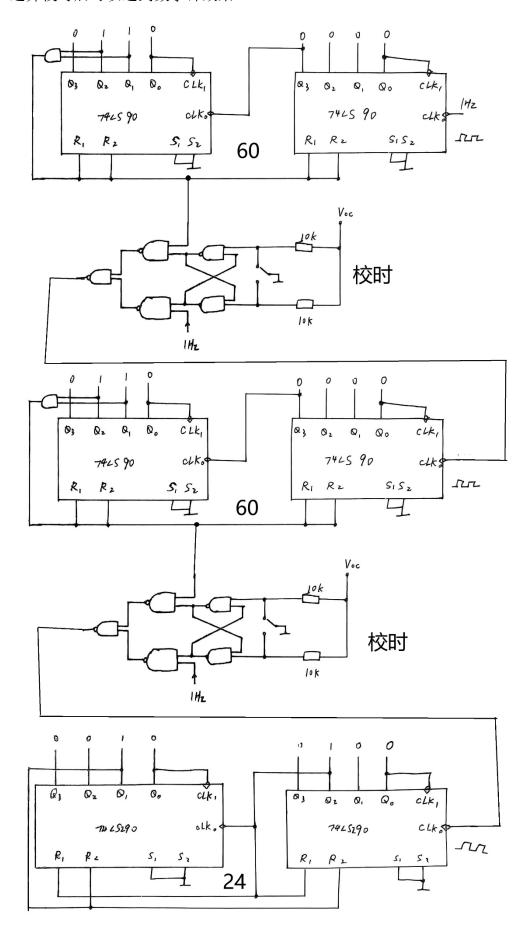


仿真输出结果为 1Hz, 符合题目要求:



#### 5. 2. 画出完整的数字钟逻辑电路图,并说明各部分的原理与功能。

以下为数字钟全图。"60"代表 60 进制计时器,"24"代表 24 进制计时器,连接串 通并校时后可以达到数字钟效果。



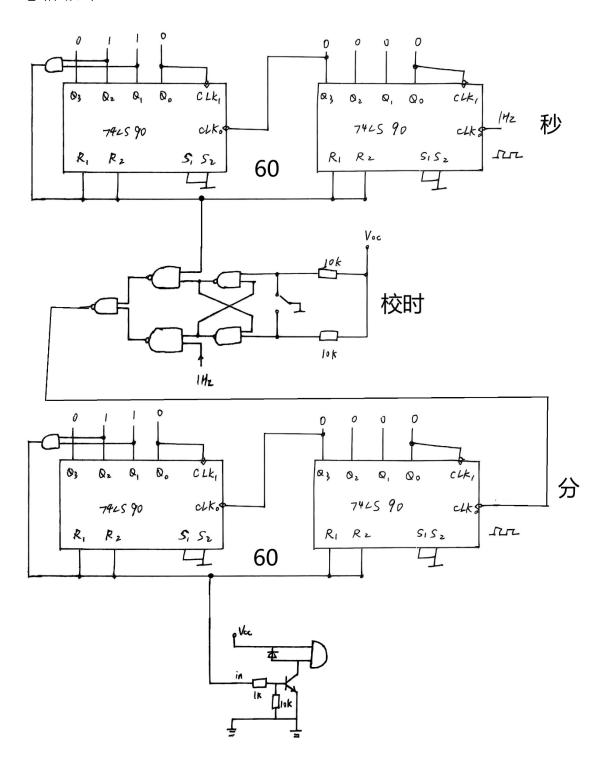
信息科学技术学院

PB23061234 房杰

PB23061223 胡泽宇 1号台(周三晚1组) 2025年4月16日

#### 试设计一个具有整点报时功能的电路。 5. 3.

电路图如下:



实验结果为每小时蜂鸣器响一次。